

ワクワク思考を、即、カタチに！ 技術開発の過去、現在、未来



2016年7月1日
Egretcom株式会社
水谷 幹男

第1章 水谷 幹男

PANASONIC時代の軌跡

松下電送での業務内容ー1

- # 1978年4月：松下電送機器(株)(当時)に入社
- # ファクシミリ研究所に配属となる。
- # 配属直後より、FAX用9600bps半2重電話線モデムの開発に参加。
- # 1978年から1980年までは、ブレッド・ボードによる機能確認回路を完成し、1980年のG3FAXビジネス開始に間に合わせた。
- # 1980年から1982年までは、モデム用DSPの開発を行い、世界初の1ボード・FAXモデムの開発に成功。
- # 世界初のモデム用DSP「MN8600」は1982年のISSCC(国際半導体学会)に発表。これは、TIが発表したTI初のDSPである、320シリーズと同じセッションであった。

MN8600の概要

SESSION II: DIGITAL SIGNAL PROCESSORS

WAM 2.4: A Digital Signal Processing LSI

*Tatsu Nakamura, Michio Yoshida and Tadashi Uno
Matsushita Electronics Corp.
Kawasaki, Japan*

*Yukio Ichikawa, Mikio Mizutani and Kaname Sawada
Matsushita Graphic Communication Systems, Inc.
Tokyo, Japan*

#3 μ NMOSプロセス、60,000Tr、55mm平方

#マイクロプログラム:水平23ビット・1kワード

#命令サイクルタイム:500nS=2MIPS

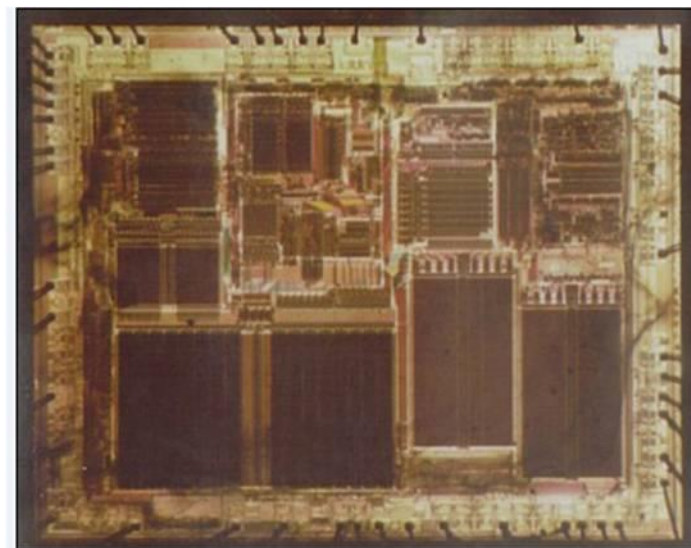
#係数ROM256語、係数RAM128語

#信号RAM256語

#1チップで、Rolloff-filter, Adaptive-EQ,
Carrier-APC, Timing-recovery等のすべての
デジタル信号処理演算が400 μ Sで実行する。

2016/7/7

Egretcom



デジタル信号処理技術の研究

#DSPによるデジタル信号処理技術の追求

1. QAM変調／復調

2. デジタルフィルタの実現

FIR型Roll-offフィルタ、IIR型楕円フィルタ

3. 適応型自動等化器

4. 搬送波自動位相制御方式

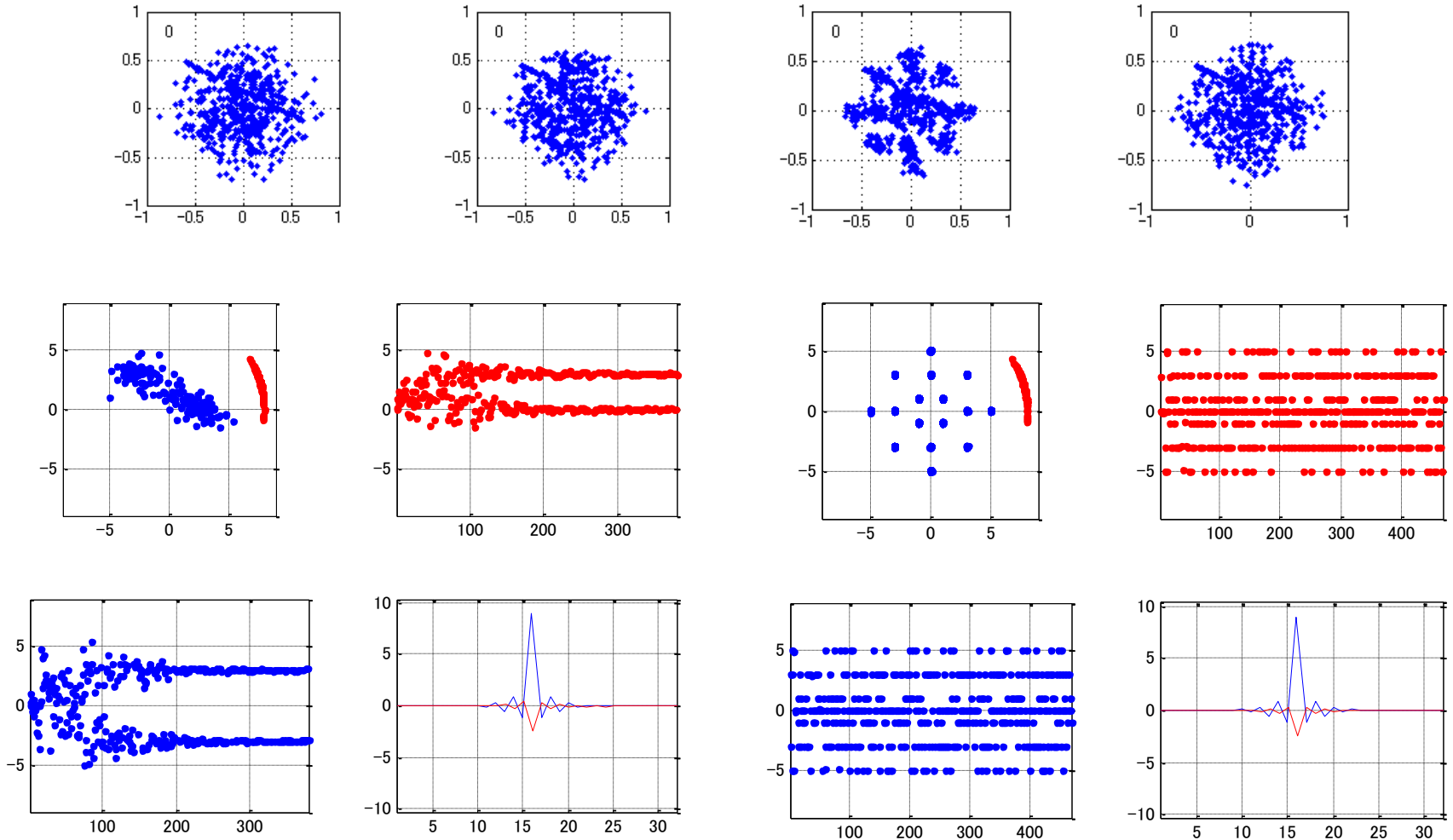
5. エコーキャンセル型全2重通信方式

6. 1600ポイントの星座を持つQAM

7. トレリスコーディング&ヴィタービデコーダ

8. シェル・マッピング&8次元コーディング

自動等化器の動作



松下電送での業務一2

1982年から1996年まで、ファクシミリの世界標準活動として、ITU-Tの会議に参加した。

活動内容

T. 30: G3ファクシミリのプロトコル

V. 17: FAX用14.4kモデム

V. 34: FAX用33.6kモデム

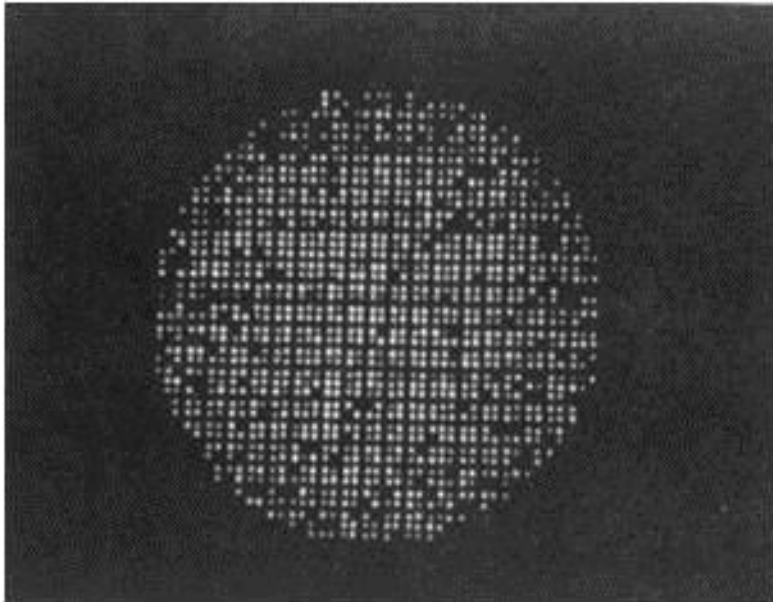
T. 37: インターネットFAX

の標準案を提出し、世界標準の作成に貢献した。

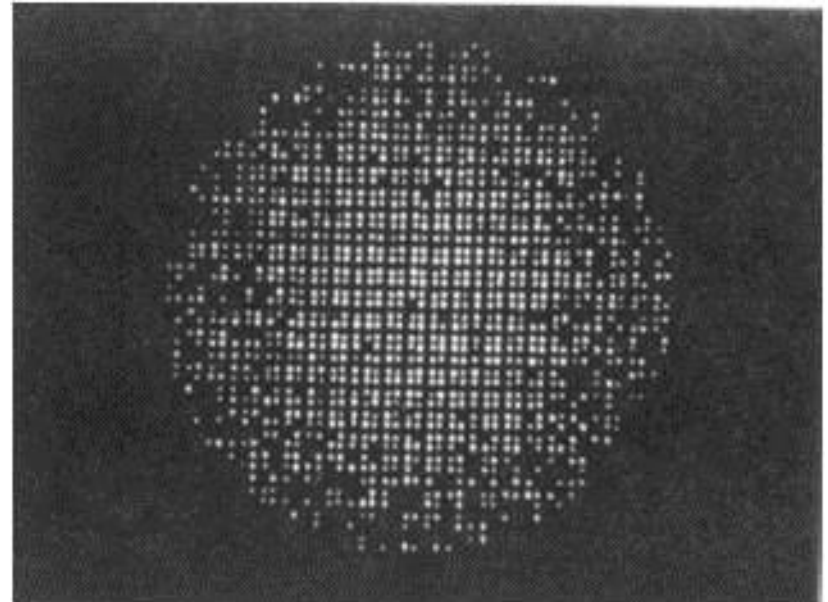
V. 34=33.6kモデムの開発

Constellation of V.34

Symbol rate=3429Hz : Data rate=33.6kbps



Non-Expansion mode



Expansion mode

水谷の写真集

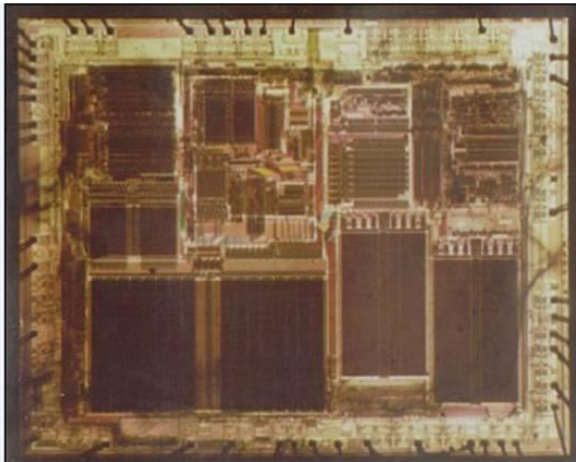
写真一1



写真一3



写真一5



2016/7/7

写真一2



写真一4



写真一6

松下電送での業務ー3

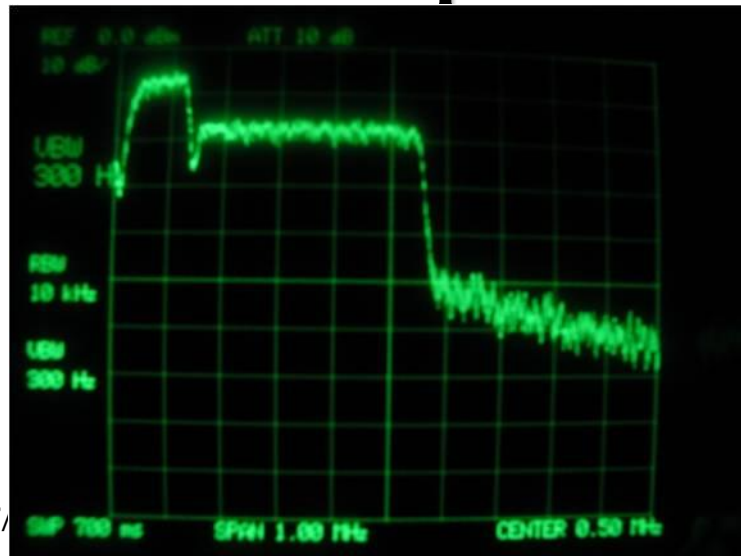
- # 1986年から1992年まで、ニューロネットの研究
- # ニューロネットの手法による、文字認識(OCR)方式の開発を行い、郵政省の“郵便番号認識コンテスト”で最優秀賞を獲得。
- # 1994年から1998年まで、慶応大学の村井純教授と共同研究を行い、インターネットFAXの開発とそのIETFへの提案を行って、RFC2305として、成立させた。
- # RFC2305:FAX情報を、SMTPのメールシステムにMIMEの添付ファイルを使ってTiffイメージ・ファイルに変換して送信する規格。

松下電送での業務一4

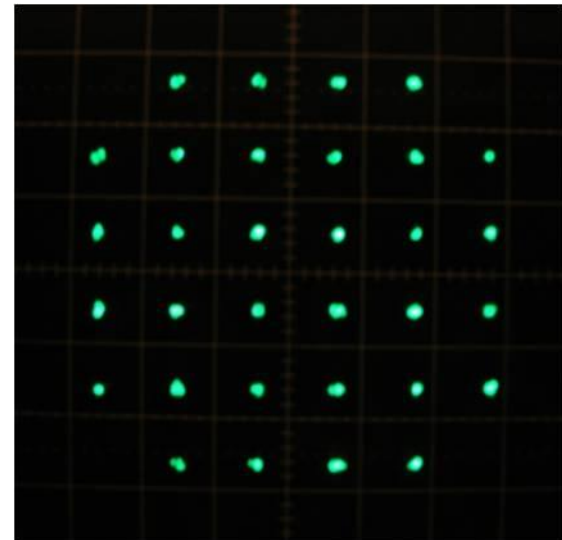
1996年から2002年まで、ADSLモデムの開発に従事した。

XDSLの規格: G. 992 (xDSLハンドシェイク)をITU-TのSG15に提案し、世界標準作成に寄与した。

ADSL.lite Spectrum



Each bin Constellation



パナソニック コミュニケーションズでの 業務ー1

- #2003年に、九州松下電器と松下電送システムが統合して、パナソニック コミュニケーションズとなり、専務取締役役に就任。
- #IPカメラの開発とPLC(高速電力線通信)モデム、VoIP, IP-STB等の開発を指導し、IPv6の普及活動に注力した。
- #PLCは、2003年から、高速電力線通信協議会(PLC-J)の副理事長の就任し、総務省の短波帯の規制緩和の活動に従事し、2005年からは理事長に就任した。

パナソニック コミュニケーションズ での業務ー2

- #2006年PLC事業推進室を担当し、2006年10月の規制緩和の実現と、12月の日本初のPLCモデム出荷にたどりついた。
- #2006年にIEEEでPLC規格制定委員会であるP1901委員会が発足し、HD-PLCのIEEE標準獲得に専念した。
- #2003年以来、IPトップ塾や、MATLAB講座を開設。「MATLABを使った、デジタル信号処理」という題名の教科書を書き始める(未だ脱稿せず)。

 [付録ー1フィルターのmatlab表現.pdf](#)

 [第13章matlabの応用ー1.pdf](#)

 [技術講座の内容.pdf](#)

HomePlug+HD—PLC

➤ [PRODUCTS & TECHNOLOGY](#) ➤ [NEWS & EVENTS](#) ➤ [JOIN](#) ➤ [HOMEPLUG MEMBERS AREA](#)

[Home](#) » [News & Events](#) » [Press Release Search and Archive](#) » **[View a Press Release](#)**

For release: 28 Sep 2007

HomePlug Powerline Alliance and Panasonic Submit a Merged Proposal to the IEEE P1901 Work Group for BPL

Industry Leaders Come Together to Create a Unified Industry-Wide Powerline Technology Standard

San Ramon, Calif. September 28, 2007 The HomePlug Powerline Alliance today announced that HomePlug and Panasonic have merged their technical submissions to the IEEE P1901 Work Group for Broadband over Powerline (BPL) and have submitted a joint proposal. The merged submission offers the efficiency of a single MAC and the flexibility to support both the HD-PLC and HomePlug AV PHYs. As a result, future products based on the merged P1901 proposal can be fully interoperable with existing HomePlug AV and Panasonic HD-PLC products. The IEEE P1901 Work Group is defining an industry-wide powerline technology standard resulting from collaboration between these two power line industry leaders. This now paves the way for the unification and rapid growth of the powerline communications industry.

第2章 EGRETCOM設立

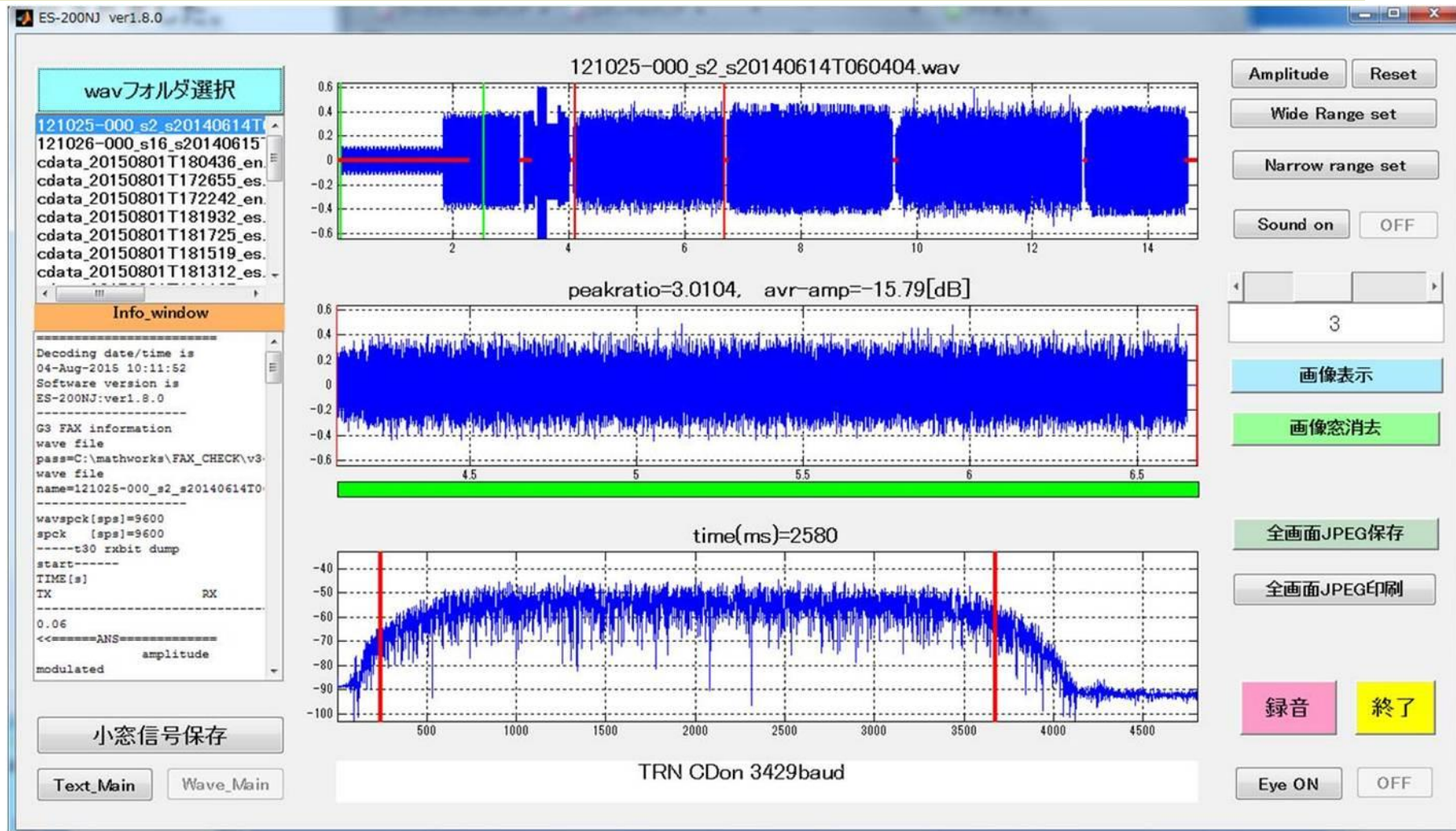
Egretcomの開発テーマー1

- # 2009年6月1日Egretcom株式会社設立
- # 2009年6月:FAX_CHECK開発開始
- # 2009年11月 NTTdocomoから携帯FAXの開発依頼。NECと競合し失注。NECもその後キャンセル。
- # 2010年5月、HDPLC内蔵電力計出荷
- # 2010年11月、FAX_CHECK初出荷(K)
- # 2010年12月、G3PLCモニタ開発開始
- # 2011年3月 $\Delta\Sigma$ ADの設計受注。(P)
- # 2012年6月、V17FAX用ソフトモデム開発開始(N)

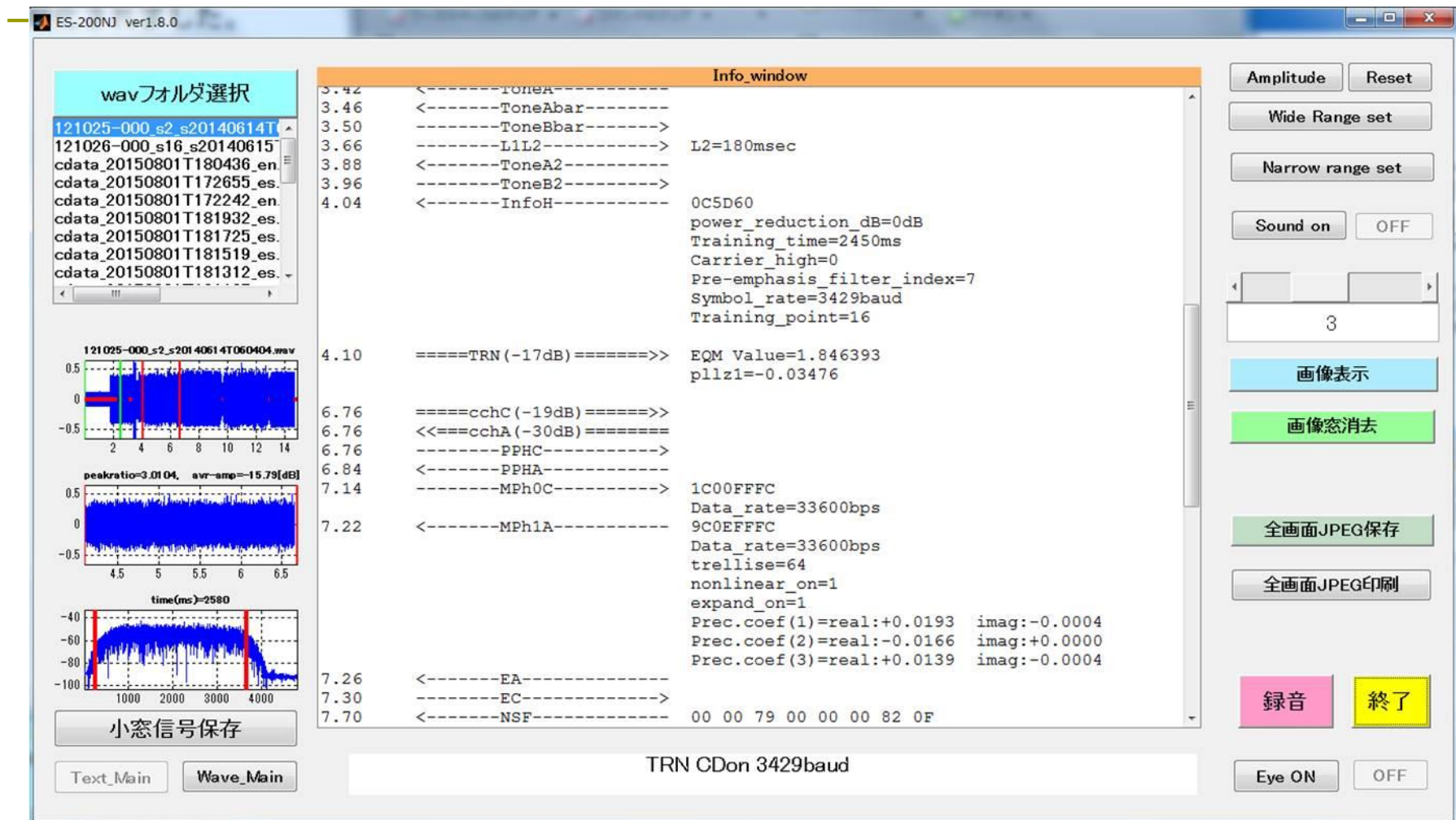
Egretcomの開発テーマー2

- #2012年8月、電力会社用専用線モデム開発開始
- #2013年3月、データモデムV22bisソフト完了(Sk)
- #2013年5月、G3PLCモニタ開発開始
- #2014年4月、V34FAXモデムアナライザー出荷
- #2014年8月、DATAモデムアナライザー出荷
- #2014年12月、総務省告示対応「FAX疎通システム」
- #2015年2月、HD-PLC用AD／DA開発受注
- #2015年11月、「FAX疎通システム」出荷
- #2016年1月、電力会社用専用線モデム出荷

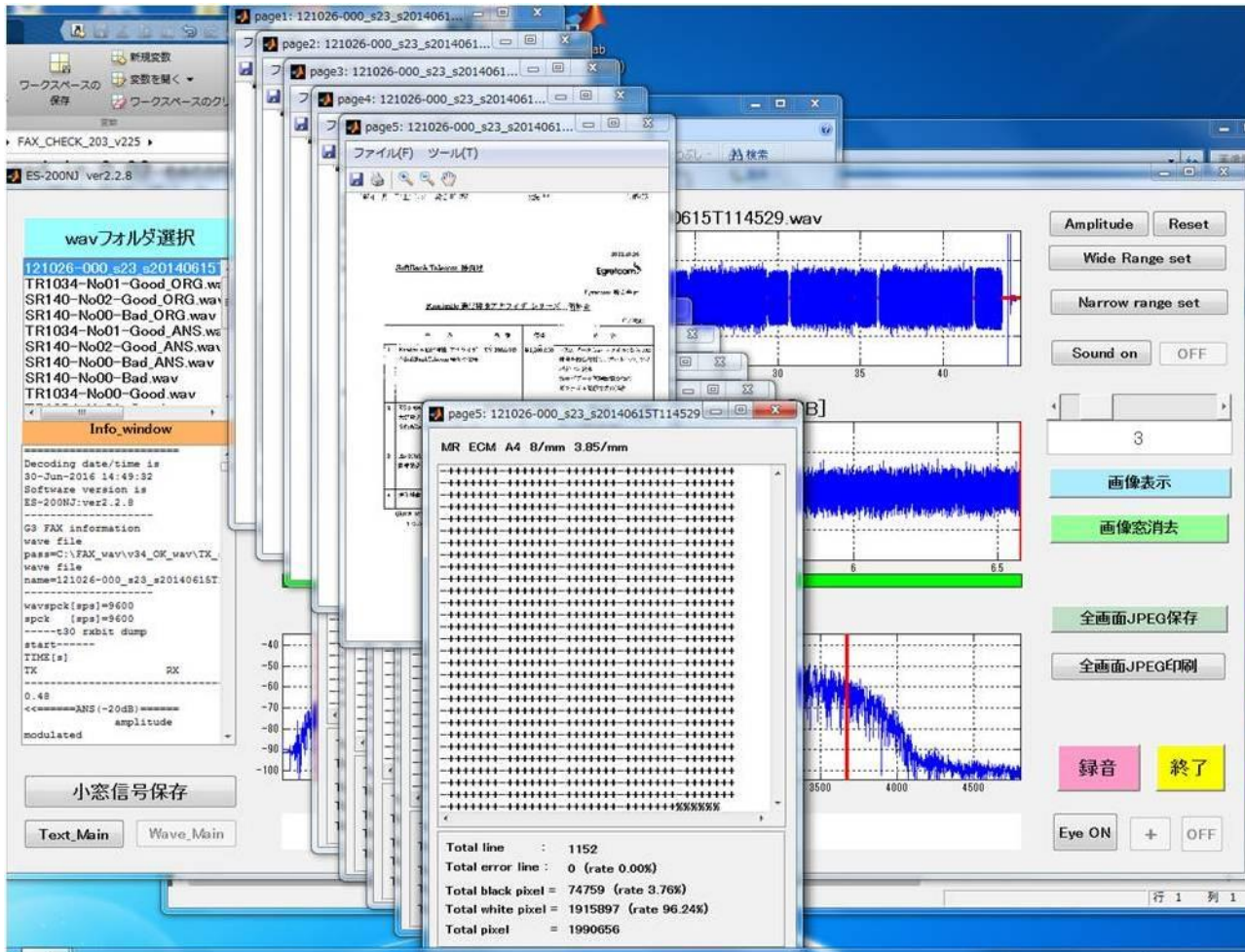
FAXアナライザー ES-200-1



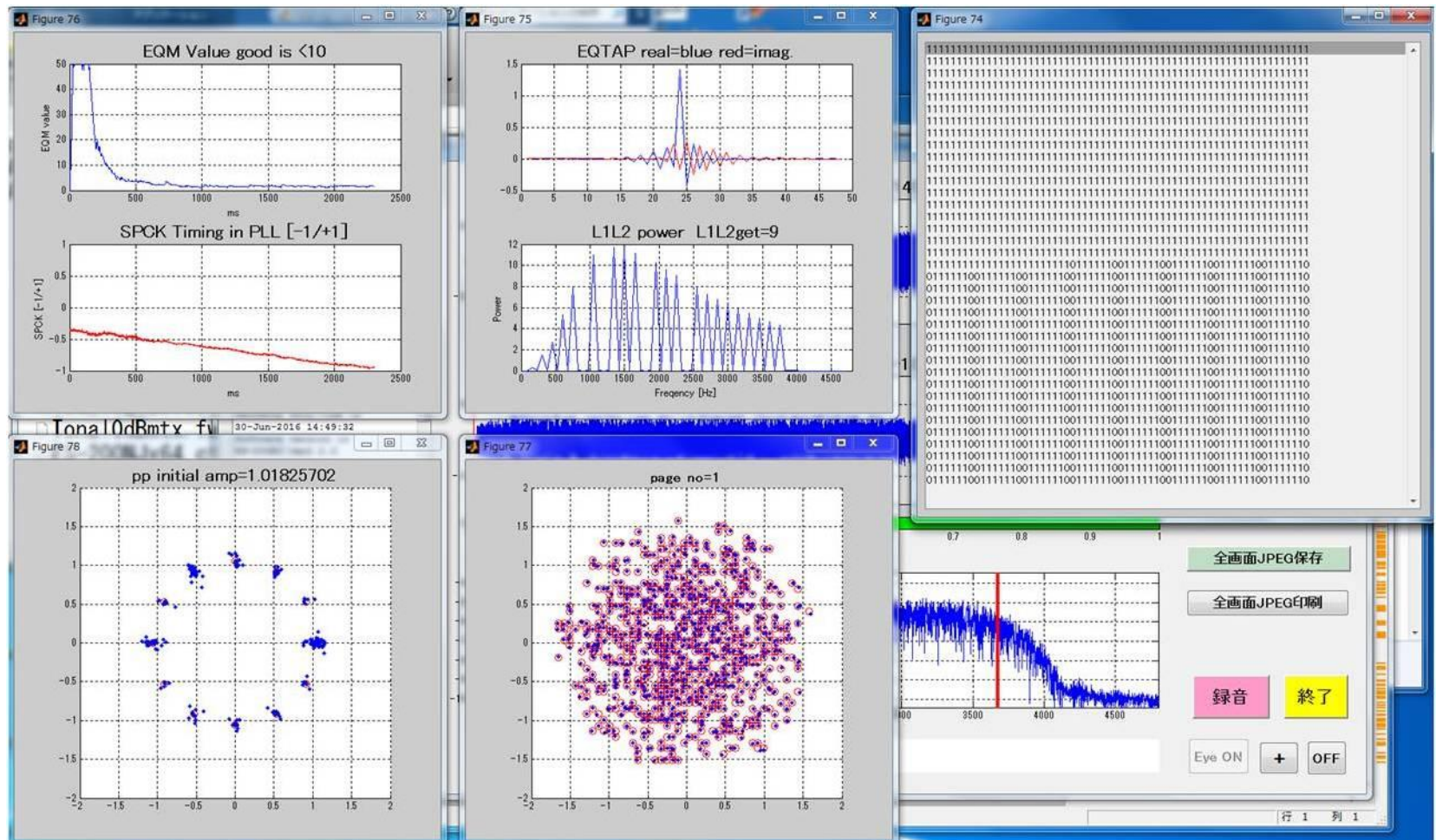
FAXアナライザー ES-200-2



FAXアナライザー ES-200-3

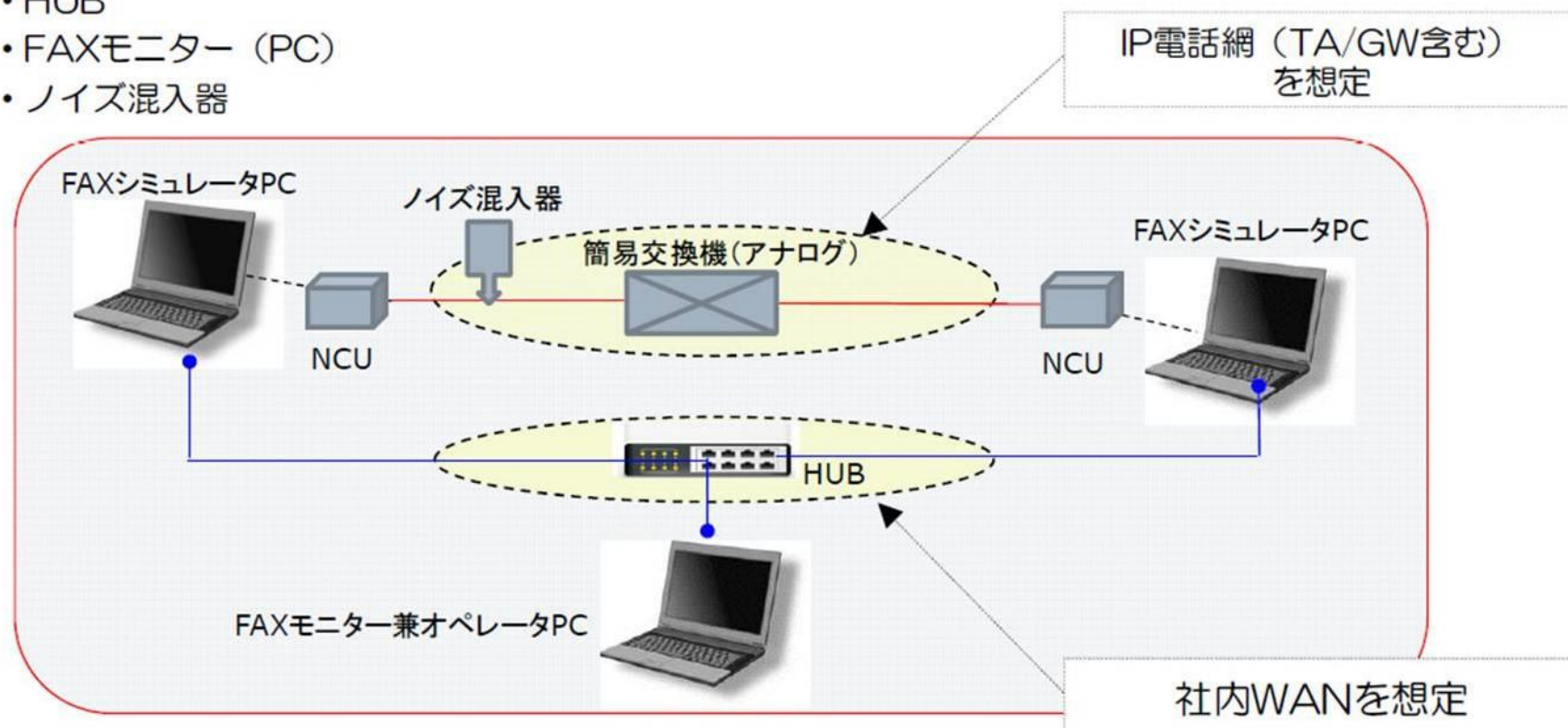


FAXアナライザー ES-200-4



VoIP回線ーFAX疎通確認システム

- FAXシミュレータ（PC）+D/A変換機能有りNCU
- 簡易交換機（アナログ）
- HUB
- FAXモニター（PC）
- ノイズ混入器



DATAアナライザー ESD-100-1

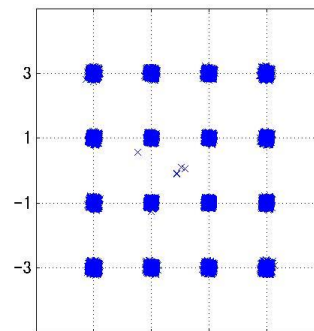
波形選択 画面保存 16進 終了

!#CFY4toDeskTop_V22bisLAPMNOCOMPRESS_2
0140106_1.au

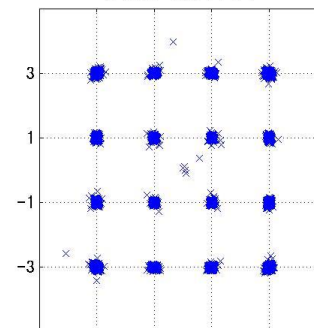
解析終了しました。
次の信号を選択してください。

```
t=6.700 ANS_UNSCRIDET
t=6.740 ANS_gstate_2
t=7.340 ORG_SIDET
t=7.480 ORG_SCR1_1200DET
t=7.560 ANS_SIDET
t=7.840 ANS_SCR1_1200DET
t=8.200 ANS_SCR1_2400DET
t=8.200 ANS_2400 CDom
t=8.200 ANS_AGC=45.32
t=8.360 ORG_SCR1_2400DET
t=8.360 ORG_2400 CDom
t=8.360 ORG_AGC=42.76
t=39.920 ORG_2400 CDoff
t=40.300 ANS_2400 CDoff
t=8.49sec
FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF
FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF
FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF
FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF
FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF
FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF
FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF
BF 00 FF 0B 0C BF 00 FF FF FF FF FF FF FF FF FF
```

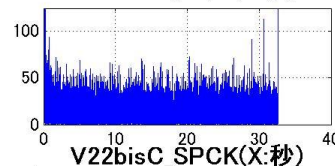
ORG RX EYE



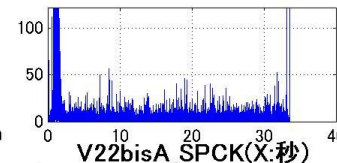
ANS RX EYE



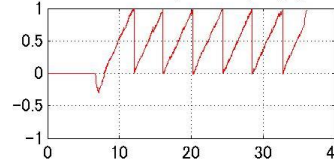
V22bisC_EQM(X:秒)



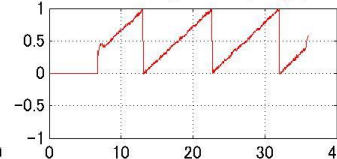
V22bisA_EQM(X:秒)



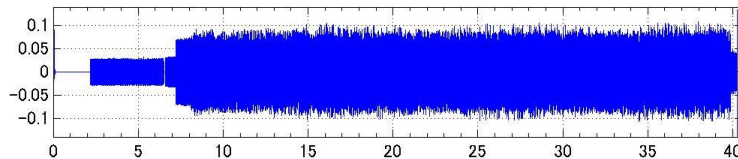
V22bisC_SPCK(X:秒)



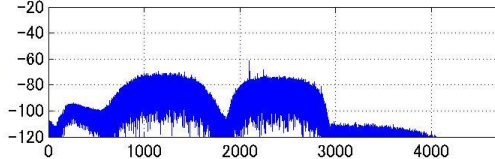
V22bisA_SPCK(X:秒)



Time signal (X:sec,Y:Volt)



Frequency signal (X:Hz,Y:dB)



G3-PLC アナライザ

PLC関連計測器

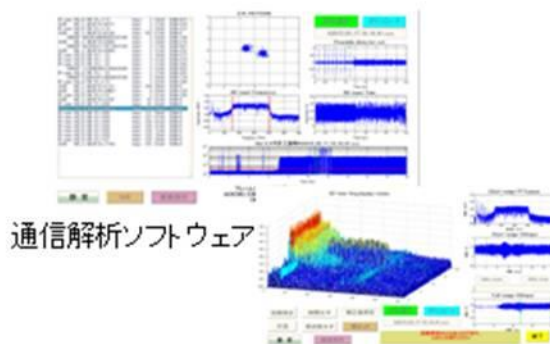
G3-PLCモデム解析ツール

PLCアナライザ

PLCアナライザは各種PLC伝送の開発業務用評価ツールです。信号を記録し、解析・表示します。PLC信号の電文解析や広帯域な雑音解析を実現します。PLC開発メーカーの検証、電力による施工前回線調査、PLC通信運用時の障害解析などに使用できます。PLC信号を記録するためのレコーダ(ハードウェア)と、記録データを解析するためのソフトウェアで構成します。



信号レコーダ

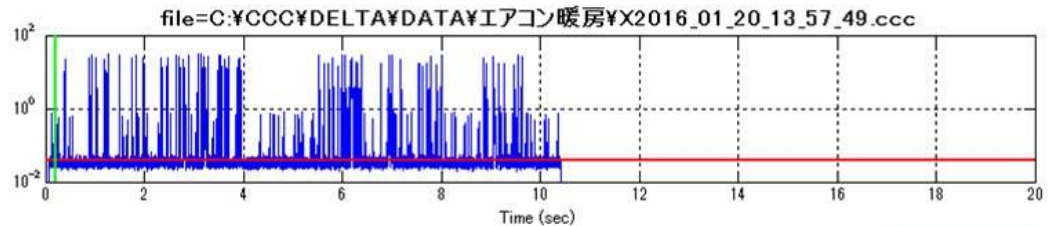
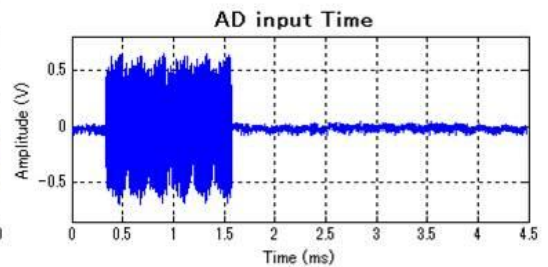
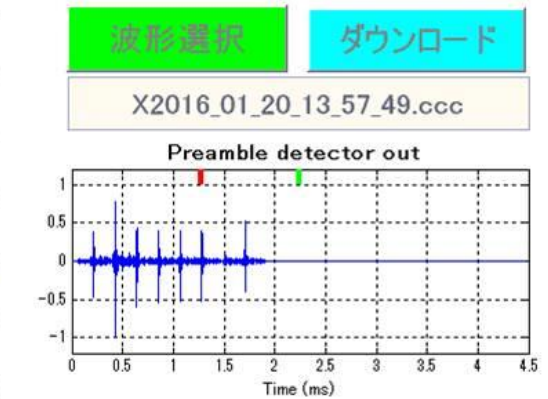
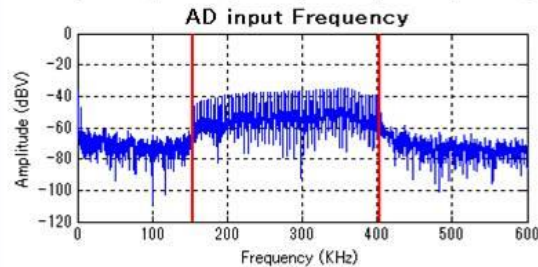
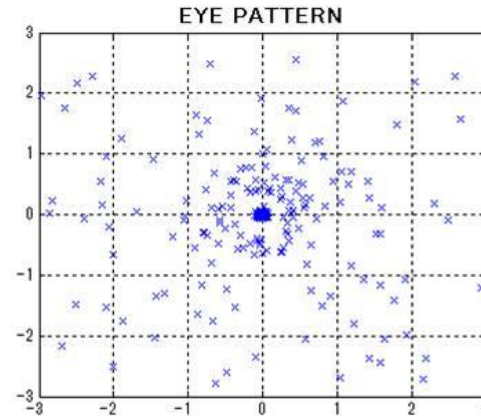


通信解析ソフトウェア

雑音解析ソフトウェア

G3-PLC信号 MAC層衝突

Frame:RQ_R:QP:FL= 14:	Amp= 25.14mV	-31.99dB
Frame:RQ_R:QP:FL= 14:	Amp= 24.04mV	-32.38dB
ACK :NO_S:MACFCS=742E:	Amp= 5.20mV	-45.67dB
Frame:RQ_R:BP:FL= 20:	Amp= 713.37mV	-2.93dB
ACK :NO_S:MACFCS=973A:	Amp= 297.52mV	-10.53dB
ERROR 5C84361E1205239540:	Amp= 198.33mV	-14.05dB
ERROR 9F364C06F7FA7AD040:	Amp= 17.40mV	-35.19dB
ACK :NO_S:MACFCS=CB26:	Amp= 23.71mV	-32.50dB
Frame:RQ_R:QP:FL= 9:	Amp= 287.04mV	-10.84dB
ACK :NO_S:MACFCS=16C5:	Amp= 719.61mV	-2.86dB
Frame:RQ_R:BP:FL= 29:	Amp= 5.56mV	-45.11dB
ACK :NO_S:MACFCS=BFDA:	Amp= 21.06mV	-33.53dB
Frame:RQ_R:QP:FL= 12:	Amp= 22.12mV	-33.10dB
Frame:RQ_R:QP:FL= 13:	Amp= 291.18mV	-10.72dB
ACK :NO_S:MACFCS=649B:	Amp= 642.57mV	-3.84dB
Frame:RQ_R:BP:FL= 18:	Amp= 750.95mV	-2.49dB
ACK :NO_S:MACFCS=87F6:	Amp= 294.94mV	-10.61dB
ERROR FB36DC7D08DD138480:	Amp= 0.60mV	-64.41dB
Frame:RQ_R:BP:FL= 43:	Amp= 759.28mV	-2.39dB
Frame:RQ_R:BP:FL= 43:	Amp= 761.19mV	-2.37dB
ACK :NO_S:MACFCS=381E:	Amp= 299.10mV	-10.48dB
Frame:RQ_R:QP:FL= 9:	Amp= 358.50mV	-8.91dB
ACK :NO_S:MACFCS=04D0:	Amp= 731.18mV	-2.72dB
Frame:RQ_R:QP:FL= 17:	Amp= 304.06mV	-10.34dB
ACK :NO_S:MACFCS=B6F3:	Amp= 730.68mV	-2.73dB
Frame:RQ_R:QP:FL= 13:	Amp= 23.71mV	-32.50dB
ACK :NO_S:MACFCS=A141:	Amp= 7.38mV	-42.64dB
Frame:RQ_R:BP:FL= 18:	Amp= 6.72mV	-43.45dB
ACK :NO_S:MACFCS=BCE0:	Amp= 21.48mV	-33.36dB
Frame:RQ_R:BP:FL= 18:	Amp= 754.73mV	-2.44dB
ERROR 4F1CB9B721EBDD8C0:	Amp= 271.87mV	-11.31dB
Frame:RQ_R:BP:FL= 26:	Amp= 715.88mV	-2.90dB
ACK :NO_S:MACFCS=D5B0:	Amp= 25.98mV	-31.71dB
Frame:RQ_R:QP:FL= 11:	Amp= 21.85mV	-33.21dB
ACK :NO_S:MACFCS=CDC6:	Amp= 5.06mV	-45.92dB
ERROR 6F9E1F6BBA6F5CB300:	Amp= 625.04mV	-4.08dB
ACK :NO_S:MACFCS=091A:	Amp= 6.90mV	-43.22dB
Frame:RQ_R:BP:FL= 18:	Amp= 7.55mV	-42.44dB



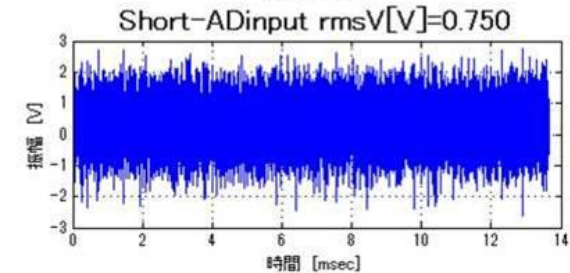
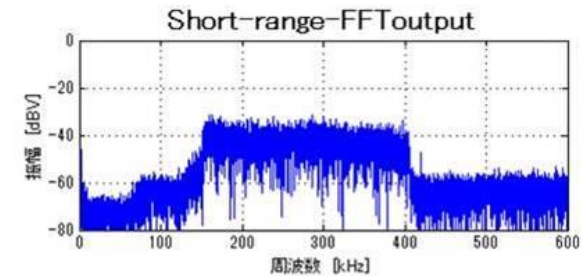
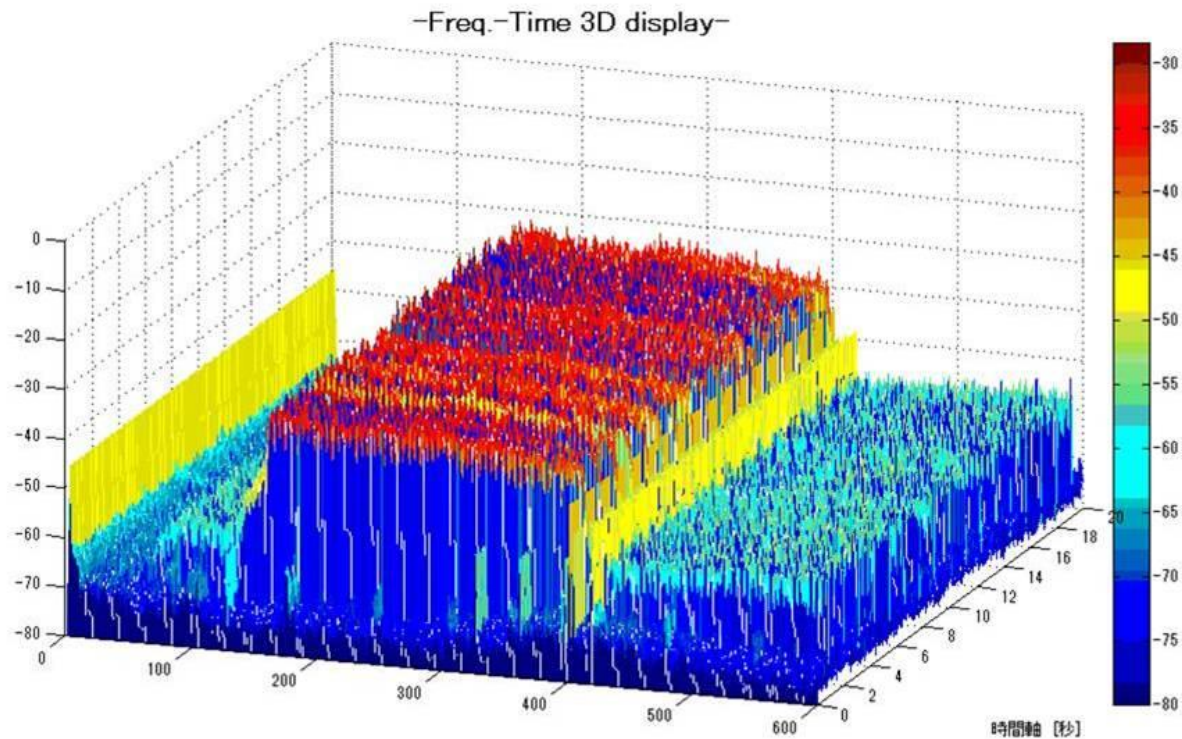
フレームシーケンス番号=6/212 sec=0.203
 ERROR5C84361E1205239540:Amp=198.33mV[-14.05dBV]:EQM=8
 06
 OK Frame / Total Frame=100/212

設定

画面保存

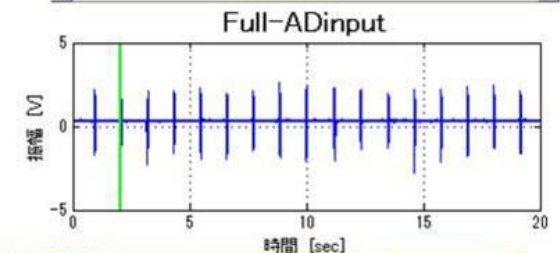
終了

G3—PLC信号 ATT—0dB 正常-2



slide_start

slide_stop



初期視点

時間水平

補正值測定

波形選択

ダウンロード

天頂

周波数水平

補正off

NO_noise_NO_ATT.ccc

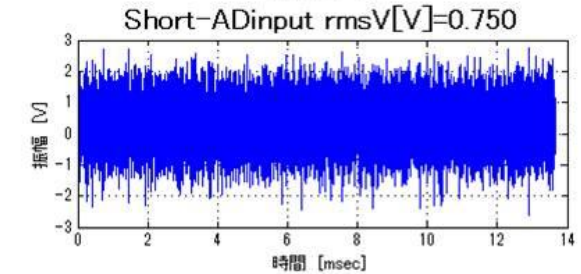
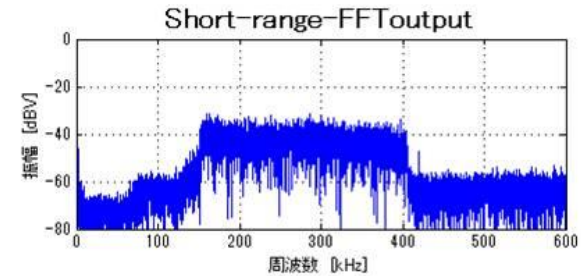
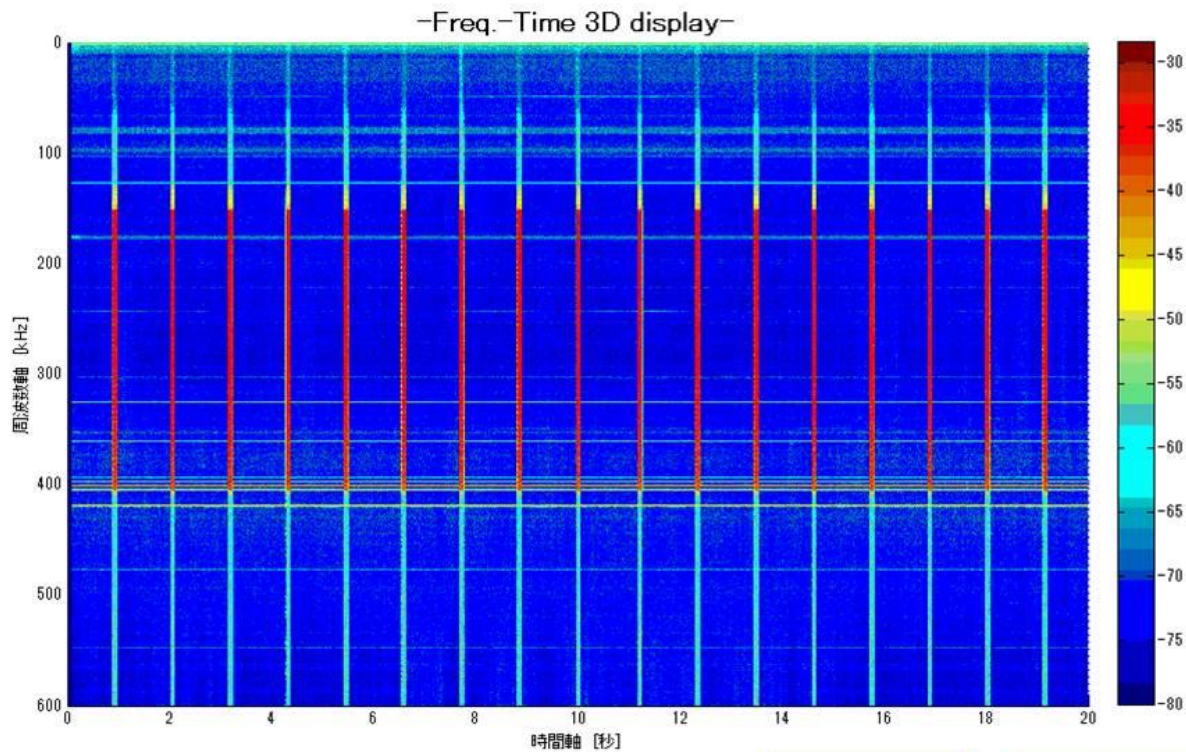
設定

画面保存

画面保存は2分近くかかります。
しばらくお待ちください

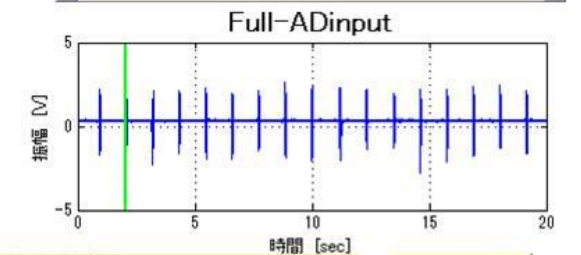
終了

G3—PLC信号 ATT—0dB 正常-3



slide_start

slide_stop



初期視点

時間水平

補正值測定

波形選択

ダウンロード

天頂

周波数水平

補正off

NO_noise_NO_ATT.ccc

設定

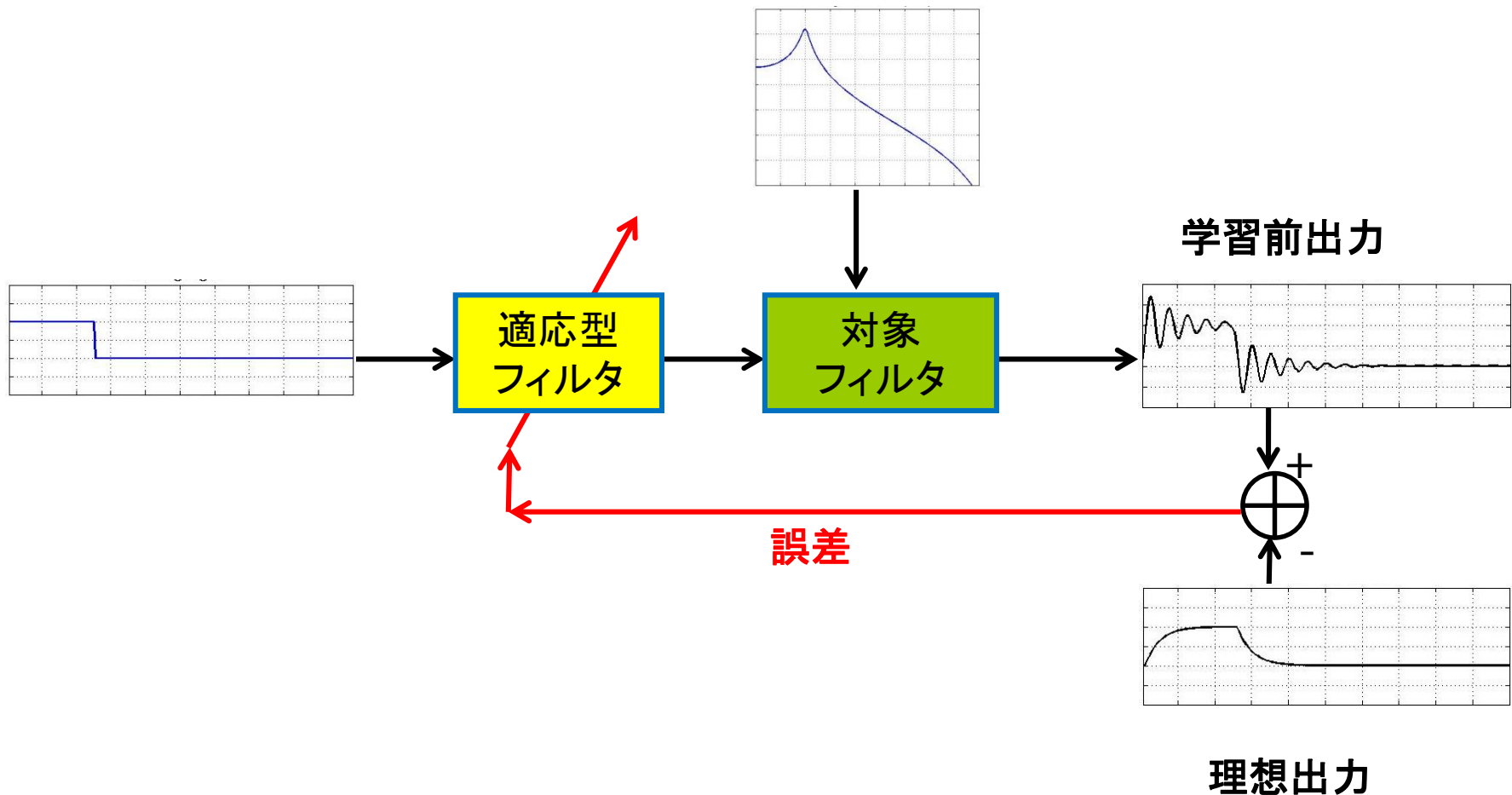
画面保存

画面保存は2分近くかかります。
しばらくお待ちください

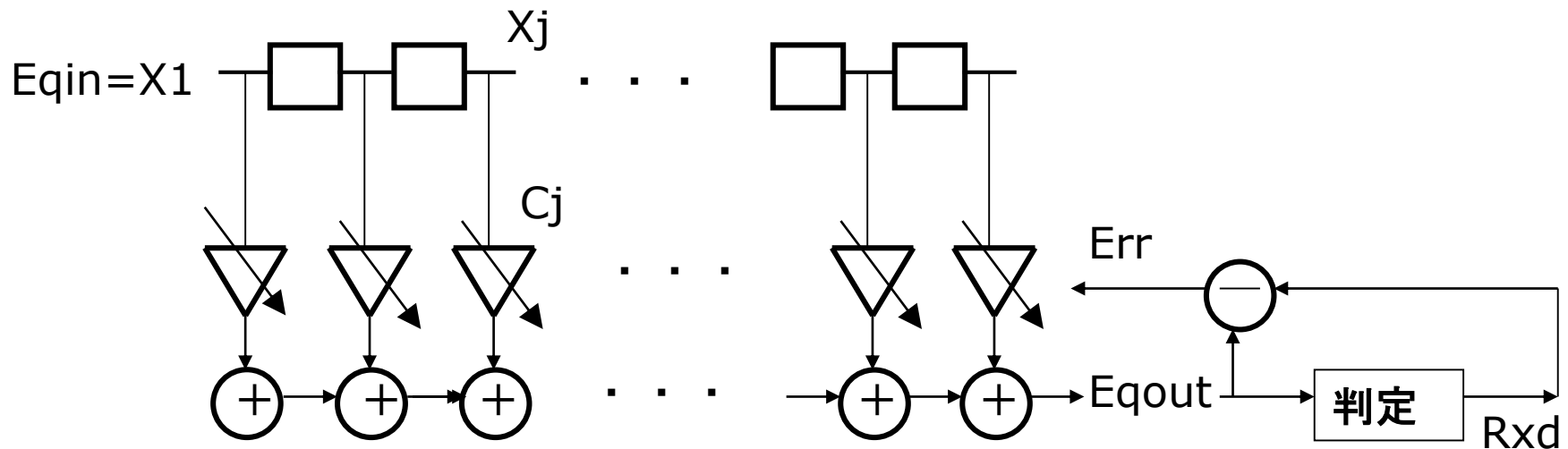
終了

第3章 MATLABによる シミュレーションの実演 とコーディングの実際

深層学習第1層シミュレーション ＝適応型学習フィルター



適応型複素等化器－1



$$E_{qout} = \sum X_j * C_j \quad \quad Err = E_{qout} - R_{xd}$$

$$\frac{\partial (Err * \text{conj}(Err))}{\partial C_j} = \text{conj}(Err) * X_j$$

$$C_j = C_j - \alpha * \text{conj}(Err) * X_j$$

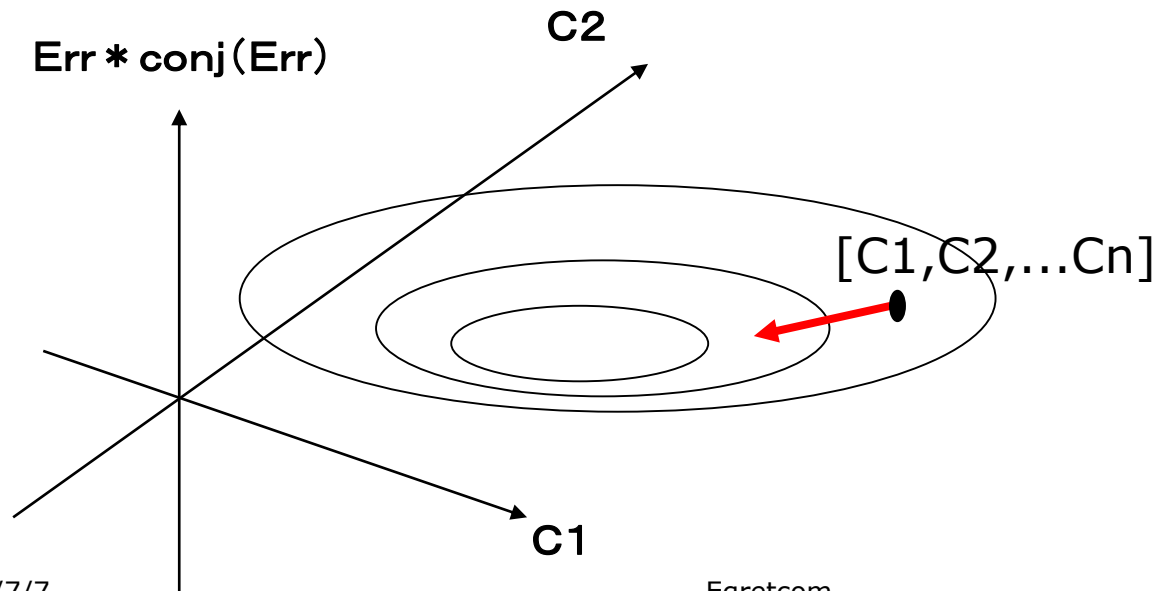
適應型複素等化器－2

$$E_{out} = \sum X_j * C_j$$

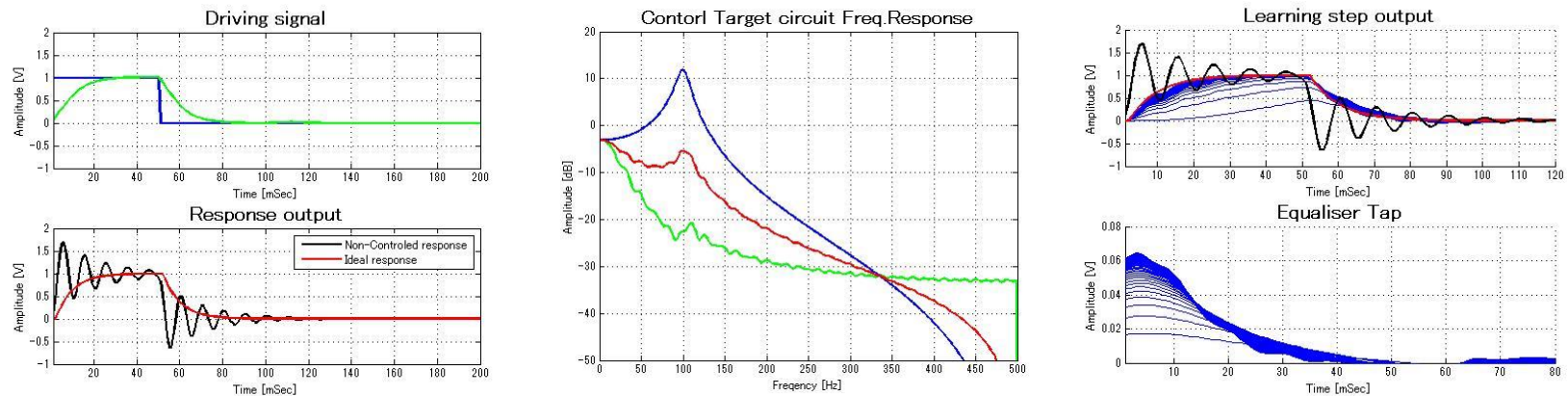
$$Err = E_{out} - R_{xd}$$

$$\partial (Err * \text{conj}(Err)) / \partial C_j = \text{conj}(Err) * X_j$$

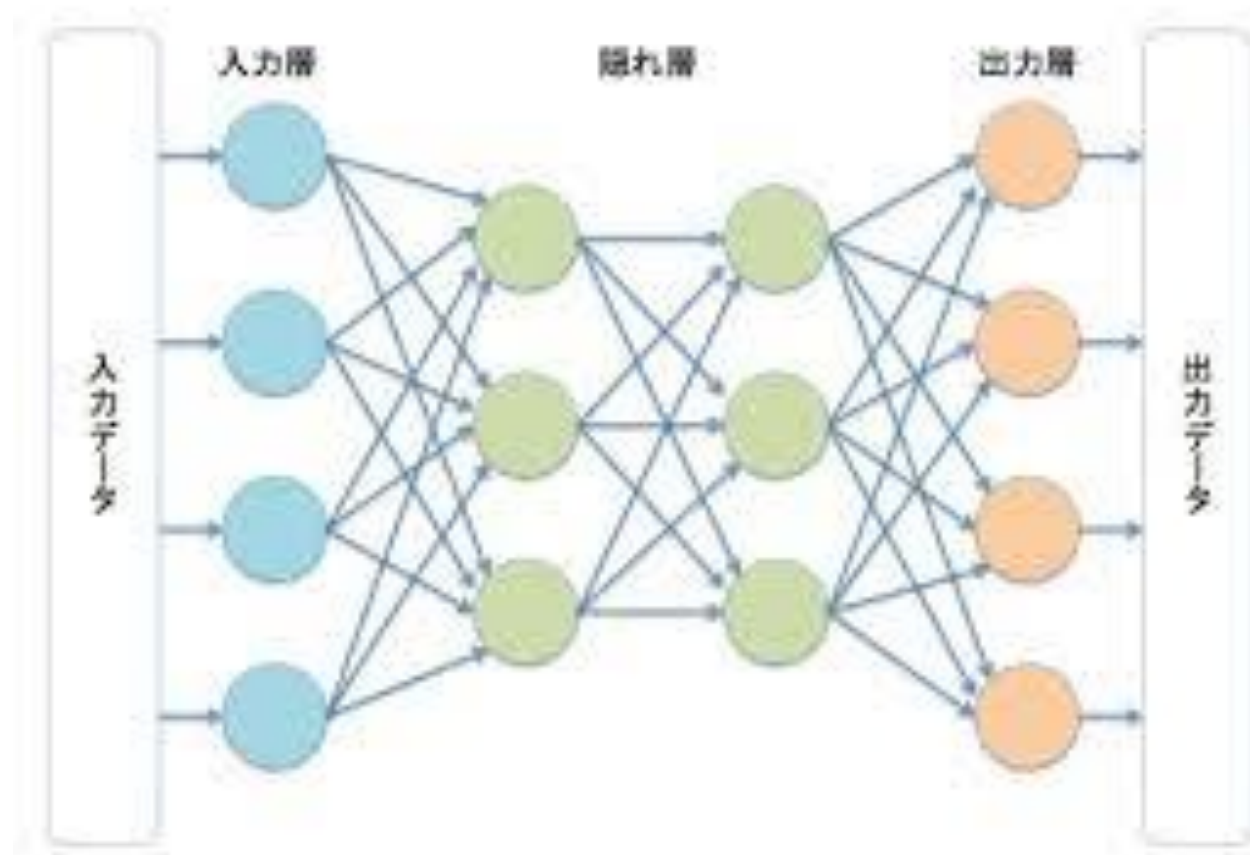
$$C_j = C_j - \alpha * \text{conj}(Err) * X_j$$



深層学習第1層シミュレーション ＝適応型学習フィルター



深層学習第1層シミュレーション ＝適応型学習フィルター



第4章 MATLAB活用のメリット

MATLAB活用のメリット

■ MATLAB言語の特徴

型宣言／配列宣言不要

変数のデフォルト=倍精度複素多次元配列のダイナミックアロケーション

インタープリター動作(シミュレーション)

⇒ C言語変換(組み込みソフト)

モデルベース開発が容易

■ ライブラリー関数の充実

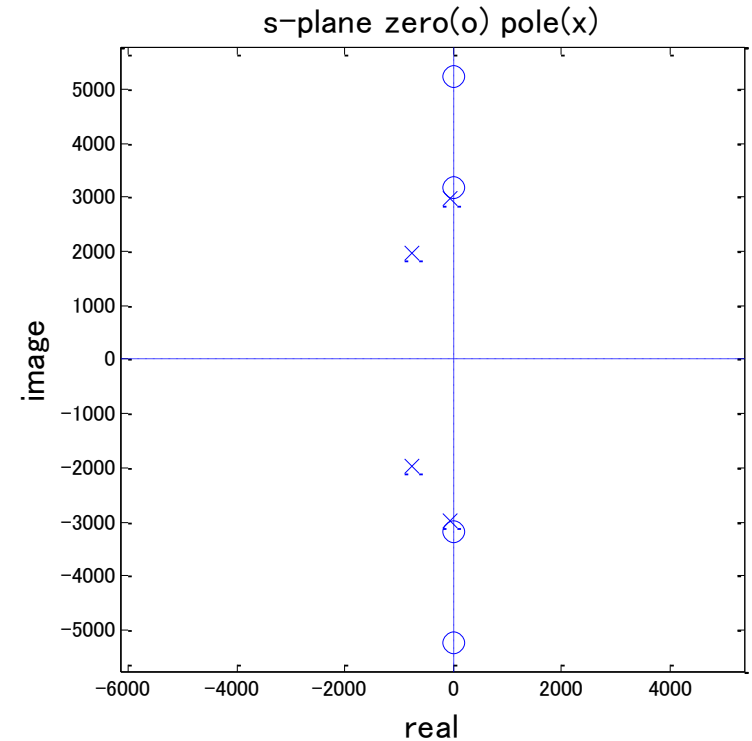
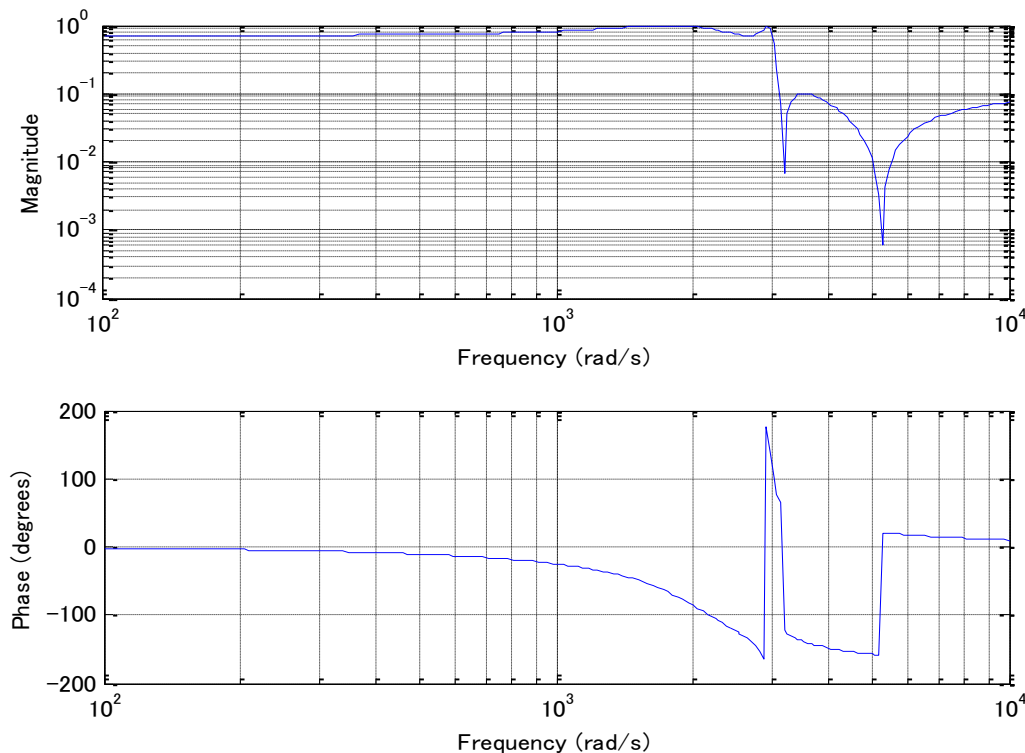
Digital信号処理ライブラリー、通信基本ブロックライブラリー、
IPネットワークライブラリー

PLOT関数の充実 → 信号図形表示が1行

GUIが、VC/JAVA並みに容易

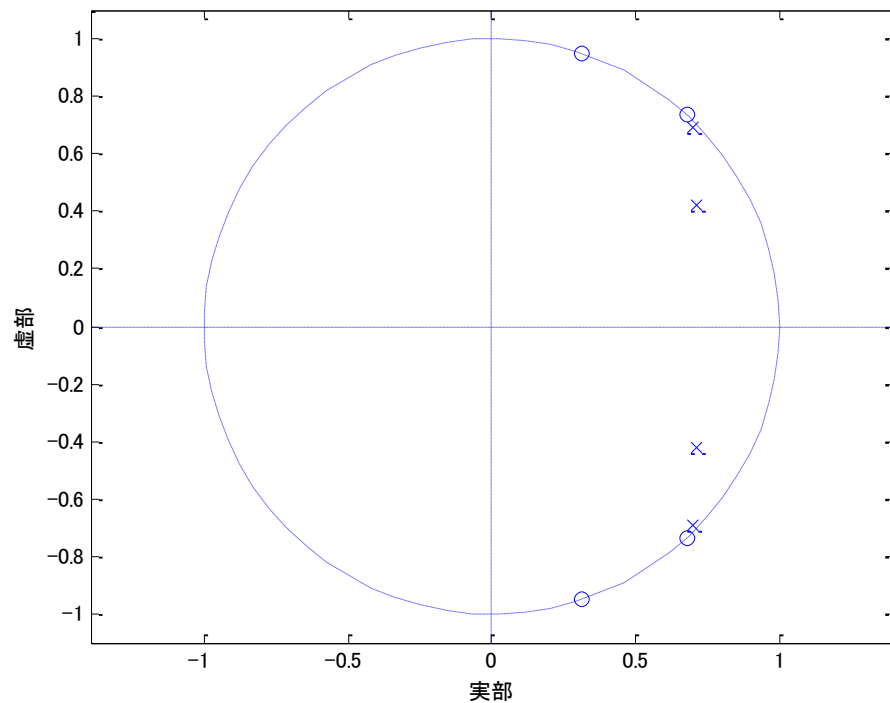
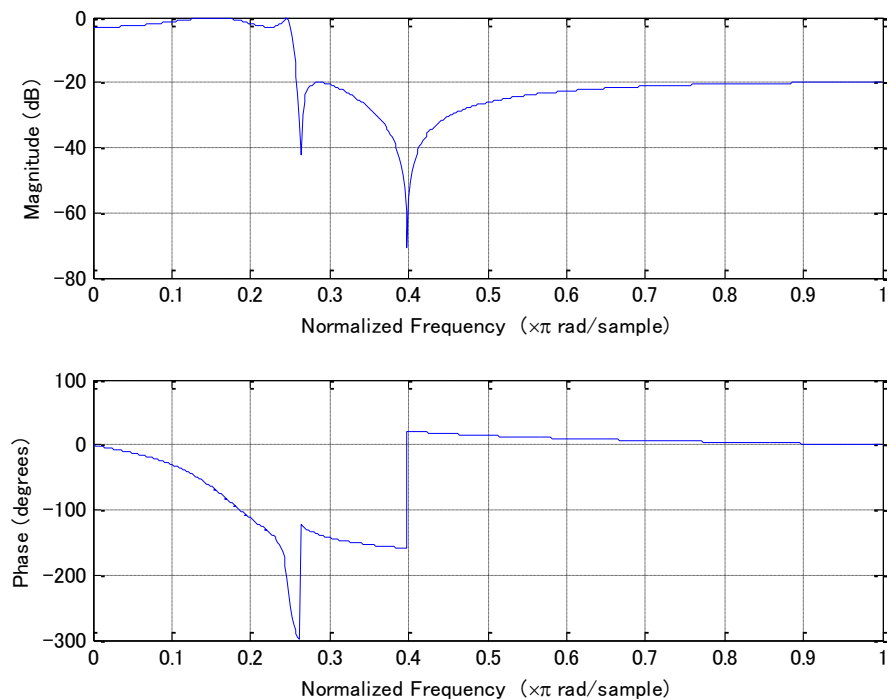
S変換のfilter特性表示例

```
[b,a]=ellip(4,3,20,3000,'s');  
freqs(b,a); splane(b,a);
```



Z変換のfilter特性表示例

```
[b,a]=ellip(4,3,20,3000/12000);  
freqz(b,a); zplane(b,a);
```

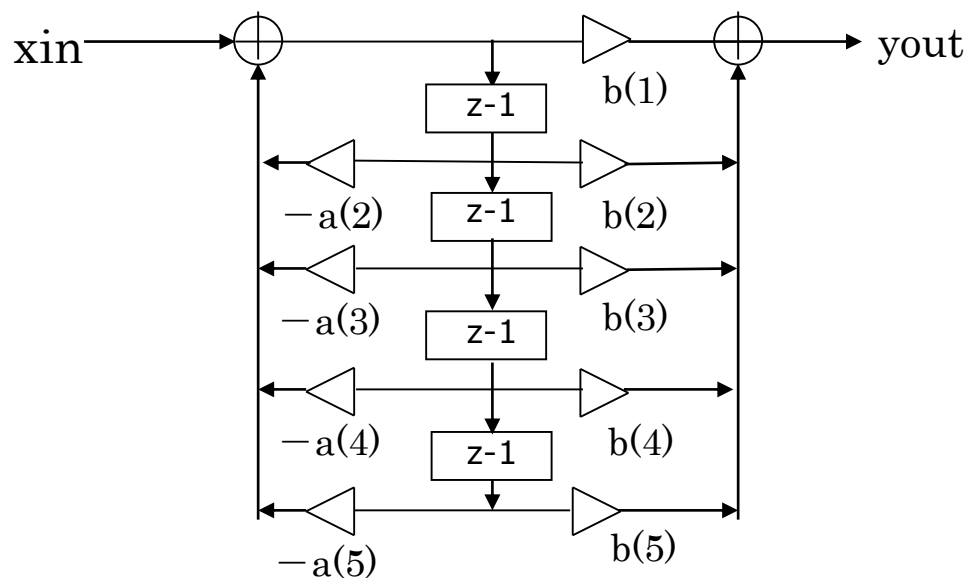


Z変換後のZ関数の一般形

デジタル回路のtransfer-function

$$\mathbf{b} = [b(1) \ b(2) \ \dots \ b(n+1)]$$

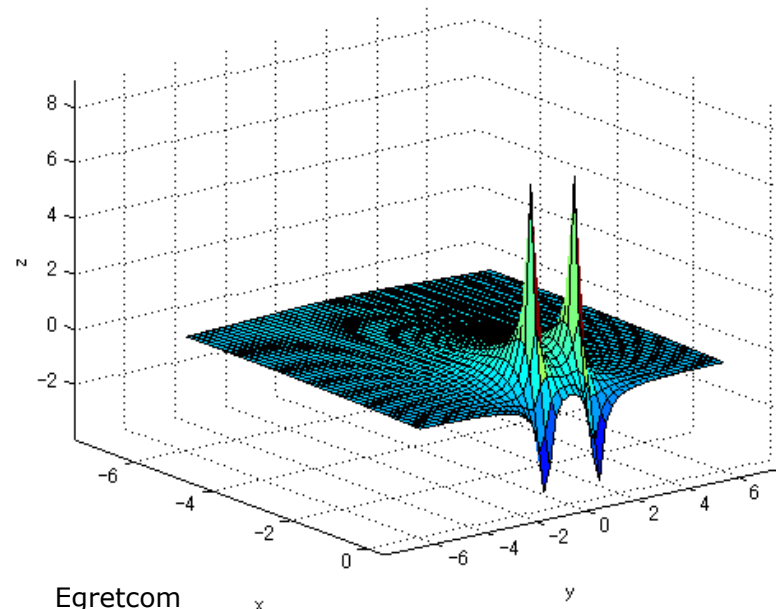
$$\mathbf{a} = [1 \ a(2) \ \dots \ a(n+1)]$$



2次フィルター特性の3次元表示方法

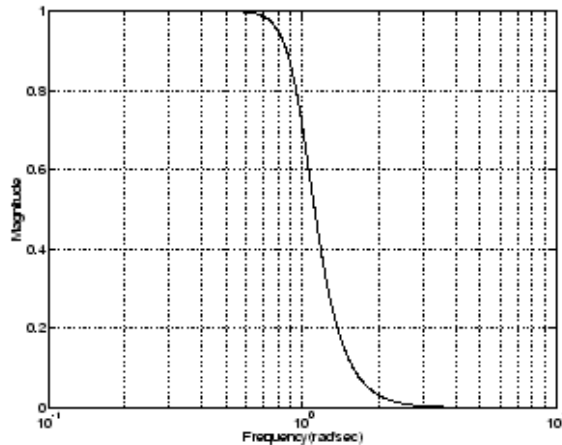
```
syms s x y t
real(x);real(y);s=x+i*y;
f=(s^2+1)/(s^2+s+1);
ezsurf(x,y,10*log(f*f'),[-6,0,-6,6])
Rotate3d on
```

$$x = x, y = y, z = \log\left(\frac{((x+iy)^2+1)}{((x+iy)^2+x+iy+1)} \cdot \text{conj}\left(\frac{((x+iy)^2+1)}{((x+iy)^2+x+iy+1)}\right)\right)$$

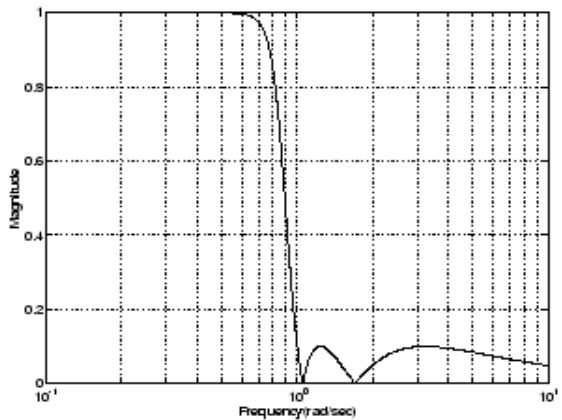
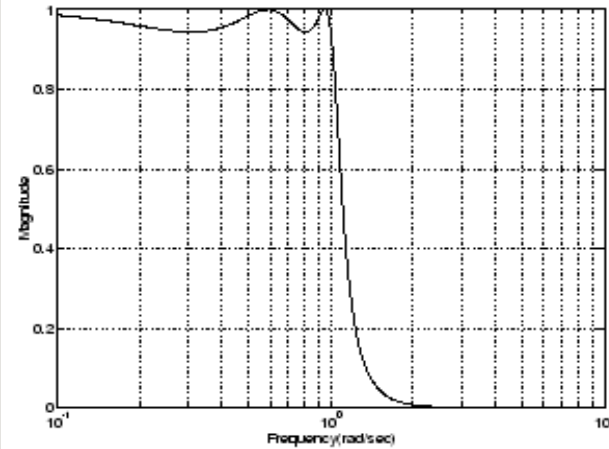


フィルター4Type

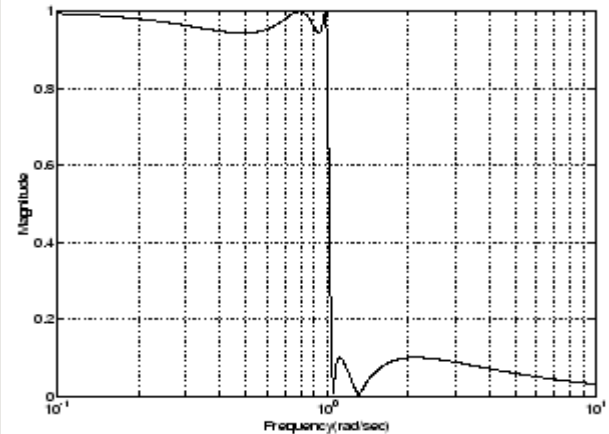
Butterworth



Chebyshev 1

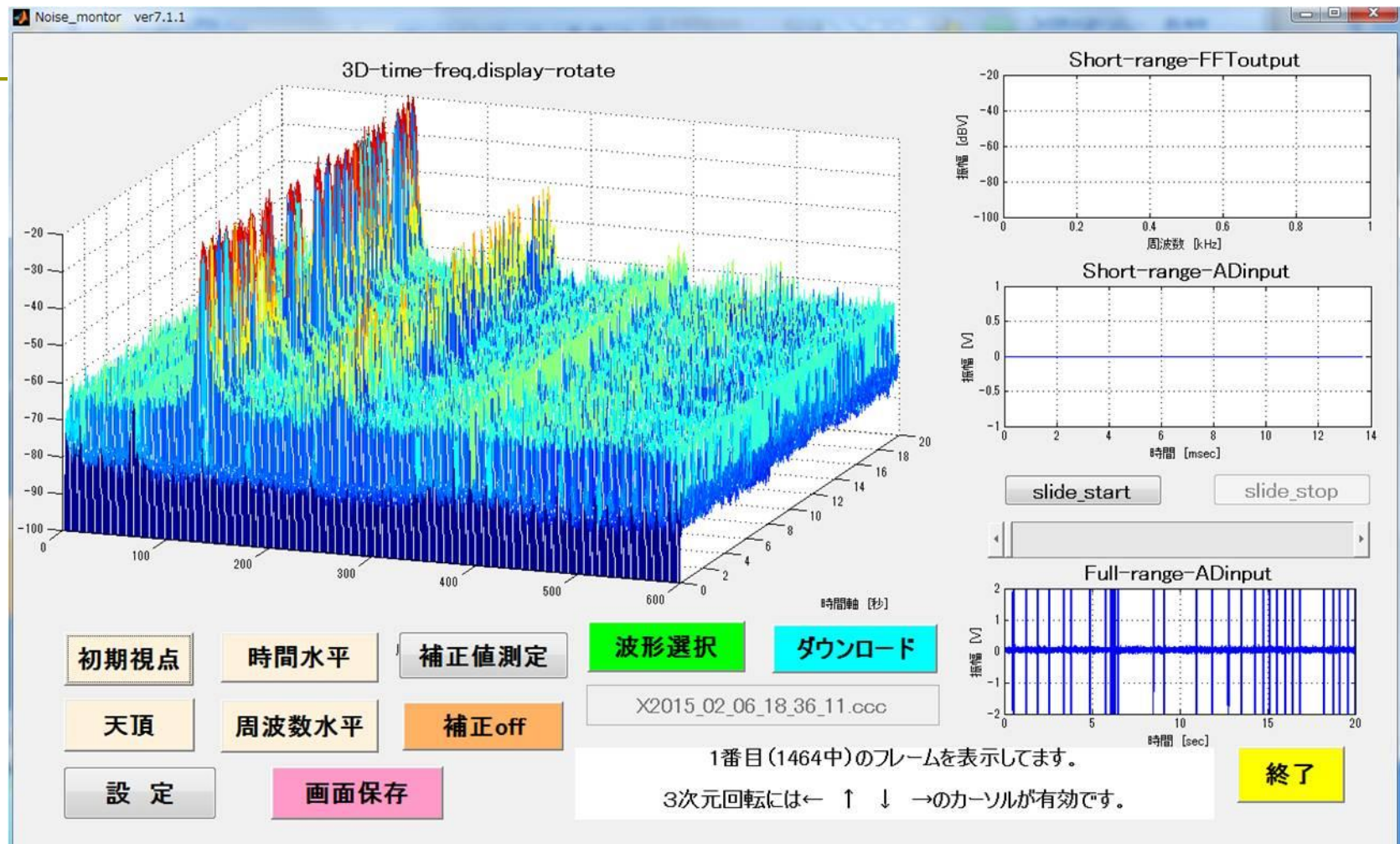


Chebyshev 2



Elliptic

MATLABで記述したGUIの例ー1



第5章 組み込み系ソフトに MATLABを使う

MATLAB-to-Cソース変換ー1

MATLAB

```
function  
[x1,y1,preg]=precoder_f(u1,c1,p1,preg)  
y1=u1+c1;  
x1=y1-p1;  
preg(3)=real(preg(2))+imag(preg(2))*1i;  
preg(2)=real(preg(1))+imag(preg(1))*1i;  
preg(1)=real(x1)+imag(x1)*1i;  
return
```



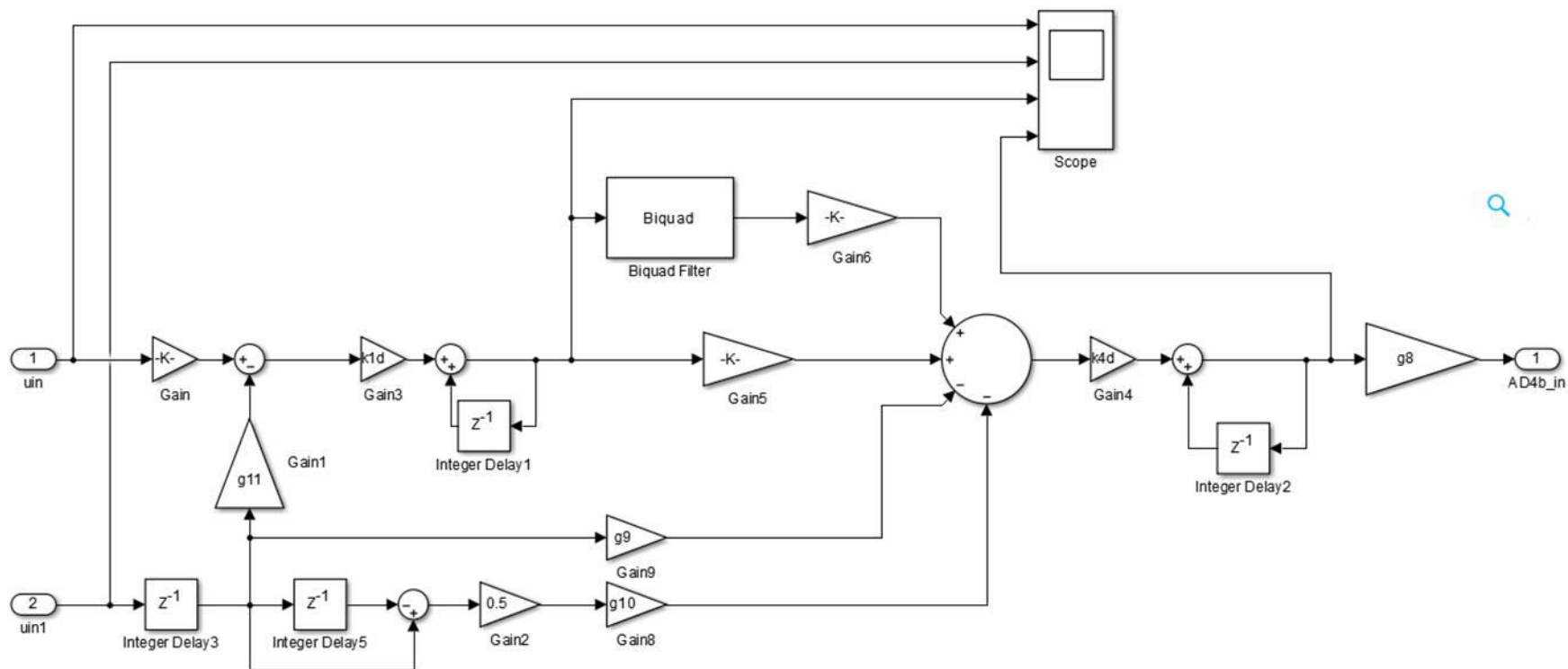
次頁 Cソース

MATLAB-to-Cソース変換ー2

Cソース

```
/* 'map_4D:33' [x1,y1,pregTX]=precoder_f(u1,c1,p1,pregTX); */
/* global v34map */
/* case int32(1) */
/* 'precoder_f:4' y1=u1+c1; */
d_y1->re = u1.re + c1.re;
d_y1->im = u1.im + c1.im;
/* 'precoder_f:5' x1=y1-p1; */
c_x1->re = d_y1->re - p1.re;
c_x1->im = d_y1->im - p1.im;
/* 'precoder_f:6' preg(3)=preg(2); */
b_pregTX[2] = pregTX[1];
/* 'precoder_f:7' preg(2)=preg(1); */
b_pregTX[1] = pregTX[0];
/* 'precoder_f:8' preg(1)=x1; */
b_pregTX[0] = *c_x1;
for (i_Z1 = 0; i_Z1 < 3; i_Z1++) {
    pregTX[i_Z1] = b_pregTX[i_Z1];
}
```

simulink-to-HDL変換-1



simulink-to-HDL变换一2

```
`timescale 1 ns / 1 ns
module SD4_new_filter_block1
    ( clk,reset, enb_1_20_0, uin, uin1, AD4b_in);
    input  clk;
    input  reset;
    input  enb_1_20_0;
    input  [63:0] uin; // double
    input  [63:0] uin1; // double
    output [63:0] AD4b_in; // double
        ||
    wire [63:0] Sum1_out1_1; // ufix64
    wire [63:0] Biquad_Filter_out1; // ufix64
    real Biquad_Filter_out1_double; // double
    real Gain6_out1; // double
    real Gain5_out1; // double
    real Sum3_op_stage2; // double
```


simulink-to-HDL变换一3

```
always @* uin_double = $bitstoreal(uin);
// <S4>/Gain
always @* Gain_out1 = 0.001 * uin_double;
always @* uin1_double = $bitstoreal(uin1);
// <S4>/Integer Delay3
always @(posedge clk or posedge reset)
begin : Integer_Delay3_process
    if (reset == 1'b1) begin
        Integer_Delay3_out1 <= 0.0;
    end
    else begin
        if (enb_1_20_0) begin
            Integer_Delay3_out1 <= uin1_double;
        end
    end
end
end
```

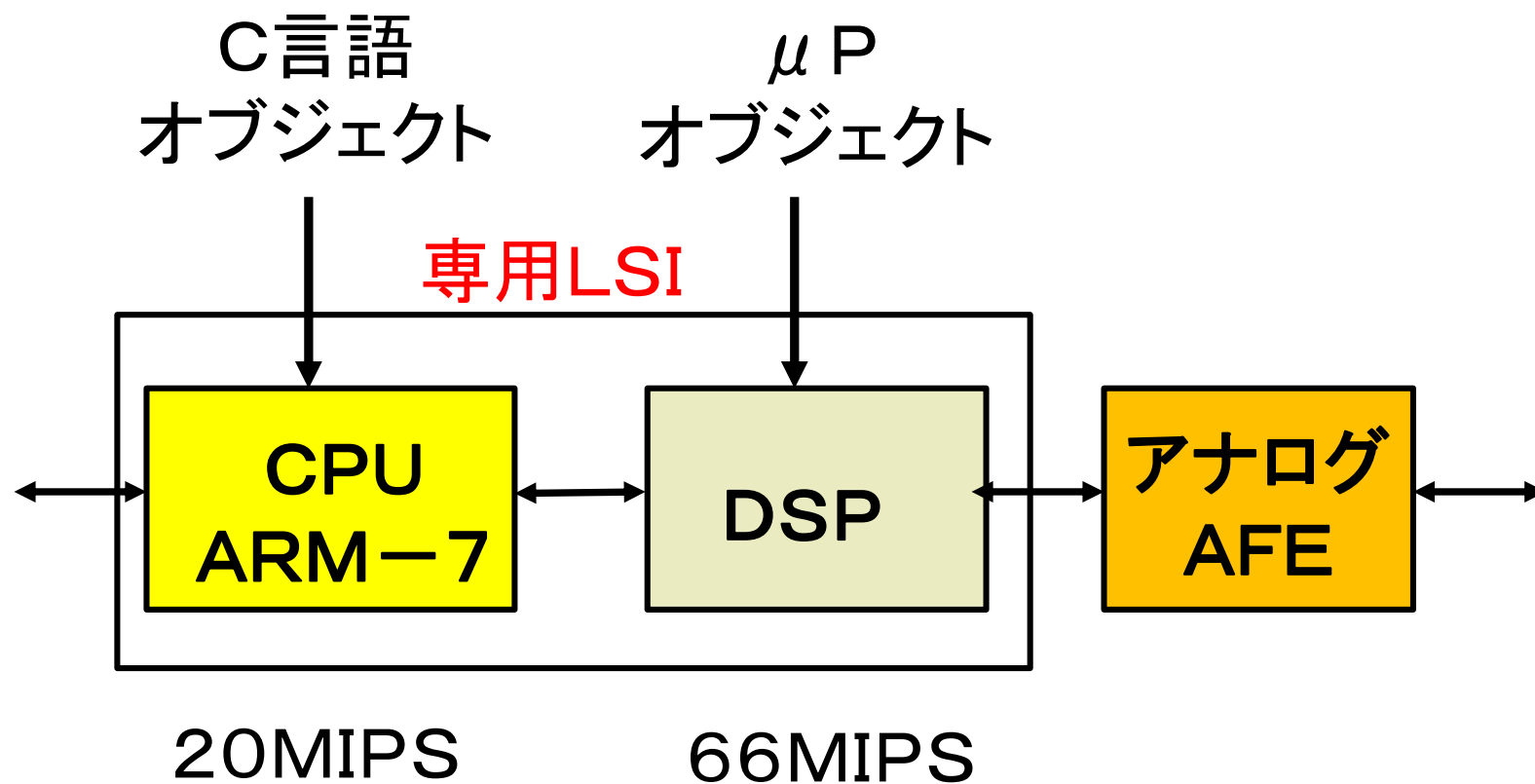
simulink-to-HDL变换一4

```
    ||
    // <S4>/Sum1
    always @* Sum1_out1 = Gain3_out1 + Integer_Delay1_out1;
    assign Sum1_out1_1 = $realtobits(Sum1_out1);
    // <S4>/Biquad Filter Biquad_Filter u_Biquad_Filter (.clk(clk),
        .enb_1_20_0(enb_1_20_0), .reset(reset),
        .Biquad_Filter_in(Sum1_out1_1),//double
        .Biquad_Filter_out(Biquad_Filter_out1) // double );
    always @* Biquad_Filter_out1_double =
    $bitstoreal(Biquad_Filter_out1);
    // <S4>/Gain6
    always @* Gain6_out1 = 0.001666666666666666666668 *
    Biquad_Filter_out1_double;
    // <S4>/Gain5
    always @* Gain5_out1 = 0.003333333333333333333335 * Sum1_out1;
    always @* Sum3_op_stage2 = Gain6_out1 + Gain5_out1;
```

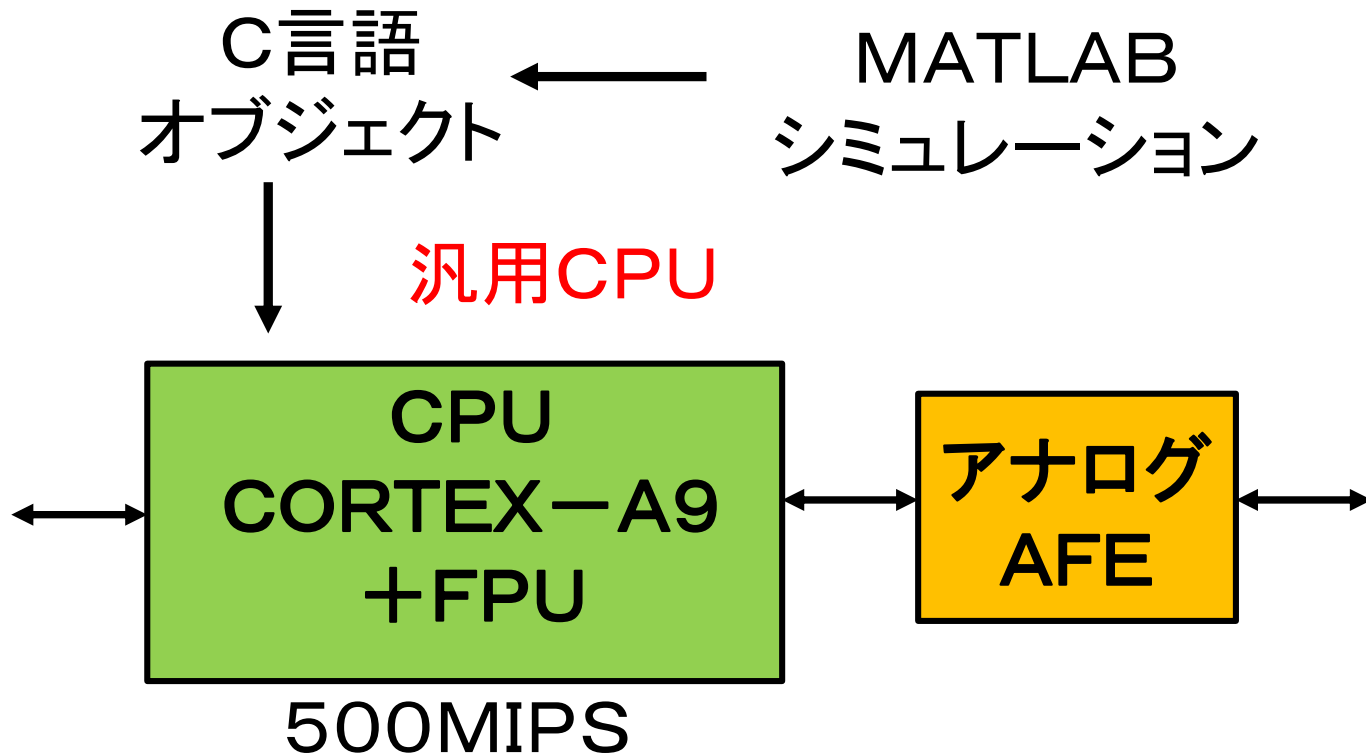
simulink-to-HDL变换—5

```
        ||
// <S4>/Sum2
always @* Sum2_out1 = Gain4_out1 +
Integer_Delay2_out1;
// <S4>/c8
always @* c8_out1 = 8.0 * Sum2_out1;
assign AD4b_in = $realtobits(c8_out1);
// <S4>/Scope
endmodule // SD4_new_filter_block1
```

MATLAB以前のモデム開発

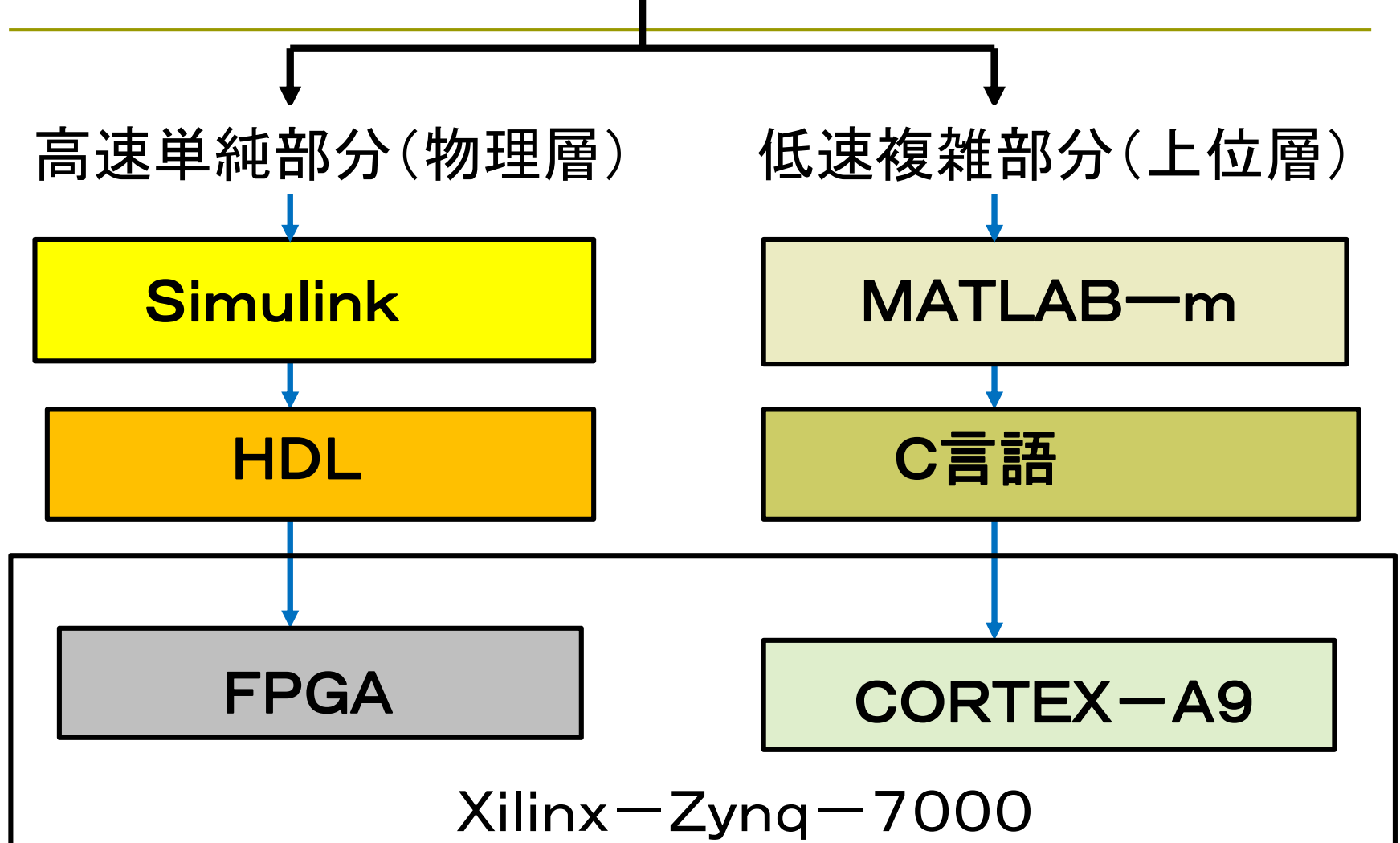


MATLAB以後のモデム開発



将来の通信LSI開発の手法

MATLABシミュレーション



第6章 CPUの進化

Xilinx-Zynq-7000 その1

機能一覧

表 1 : Zynq-7000 All Programmable SoC

Zynq-7000 All Programmable SoC								
	デバイス名	Z-7010	Z-7015	Z-7020	Z-7030	Z-7035	Z-7045	Z-7100
	デバイス番号	XC7Z010	XC7Z015	XC7Z020	XC7Z030	XC7Z035	XC7Z045	XC7Z100
プロセッシングシステム	プロセッサ コア	CoreSight™ を搭載したデュアル ARM® Cortex™-A9 MPCore™						
	プロセッサの拡張機能	各プロセッサに NEON™ および単精度/倍精度浮動小数点ユニット						
	最大周波数	667MHz (-1); 766MHz (-2); 866MHz (-3)				667MHz (-1); 800MHz (-2); 1GHz (-3)		667MHz (-1); 800MHz (-2)
	L1 キャッシュ	各プロセッサに 32KB 命令キャッシュと 32KB データ キャッシュ						
	L2 キャッシュ	512KB						
	オンチップ メモリ	256KB						
	外部メモリ サポート ⁽¹⁾	DDR3、DDR3L、DDR2、LPDDR2						
	外部スタティック メモリ サポート ⁽¹⁾	クワッド SPI x2、NAND、NOR						
	DMA チャンネル	8 (4 つはプログラマブル ロジック専用)						
	ペリフェラル ⁽¹⁾	UART x2、CAN 2.0B x2、I2C x2、SPI x2、32b GPIO x4						
	DMA 内蔵ペリフェラル ⁽¹⁾	USB 2.0 (OTG) x2、トライモード ギガビット イーサネット x2、SD/SDIO x2						
	セキュリティ ⁽²⁾	RSA 認証、256 ビットの AES および SHA 複合/認証によるセキュアブート						

Xilinx-Zynq-7000 その2



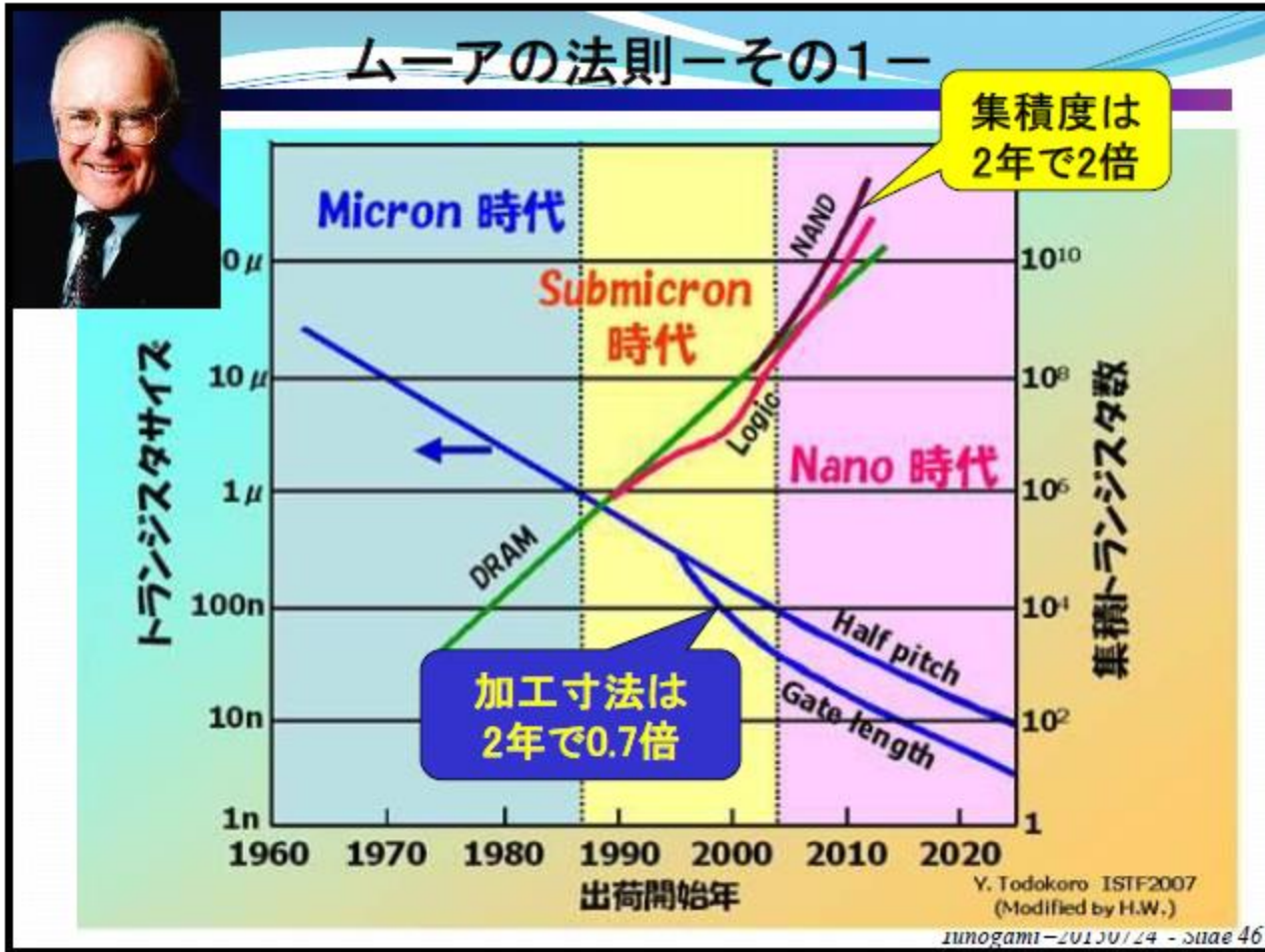
表 1 : Zynq-7000 All Programmable SoC (続き)

Zynq-7000 All Programmable SoC								
デバイス名	Z-7010	Z-7015	Z-7020	Z-7030	Z-7035	Z-7045	Z-7100	
デバイス番号	XC7Z010	XC7Z015	XC7Z020	XC7Z030	XC7Z035	XC7Z045	XC7Z100	
プロセッシング システムと プログラマブル ロジックの インターフェイス ポート (プライマリ インターフェイスおよび 割り込みのみ)	AXI 32 ビット マスター x2、AXI 32 ビット スレーブ x2 AXI 64 ビット/32 ビット メモリ x4 AXI 64 ビット ACP 16 個の割り込み							
相当するザイリンクス 7 シリーズ プログラマブル ロジック	Artix®-7 FPGA	Artix-7 FPGA	Artix-7 FPGA	Kintex®-7 FPGA	Kintex-7 FPGA	Kintex-7 FPGA	Kintex-7 FPGA	Kintex-7 FPGA
プログラマブル ロジック セル (ASIC ゲート相当数) ⁽³⁾	28K ロジック セル (~430K)	74K ロジック セル (~1.1M)	85K ロジック セル (~1.3M)	125K ロジック セル (~1.9M)	275K ロジック セル (~4.1M)	350K ロジック セル (~5.2M)	444K ロジック セル (~6.6M)	
ルックアップ テーブル (LUT)	17,600	46,200	53,200	78,600	171,900	218,600	277,400	
フリップフロップ	35,200	92,400	106,400	157,200	343,800	437,200	554,800	
エクステンシブルブロック RAM (36Kb ブロックの数)	240KB (60)	380KB (95)	560KB (140)	1,060KB (265)	2,000KB (500)	2,180KB (545)	3,020KB (755)	
プログラマブル DSP スライス (18 × 25 MACC)	80	160	220	400	900	900	2,020	
DSP の最大処理速度 (対称 FIR)	100GMAC	200GMAC	276GMAC	593GMAC	1,334GMAC	1,334GMAC	2,622GMAC	
PCI Express® (ルート コンプレックス またはエンドポイント) ⁽⁴⁾	—	Gen2 x4	—	Gen2 x4	Gen2 x8	Gen2 x8	Gen2 x8	
アナログ ミックスド シグナル (AMS)/ XADC	最大 17 の差動入力を備えた 12 ビット 1MSPS ADC x2							
セキュリティ ⁽²⁾	AES および SHA 256b によるブート コードおよび PL のコンフィギュレーション、復号、認証							

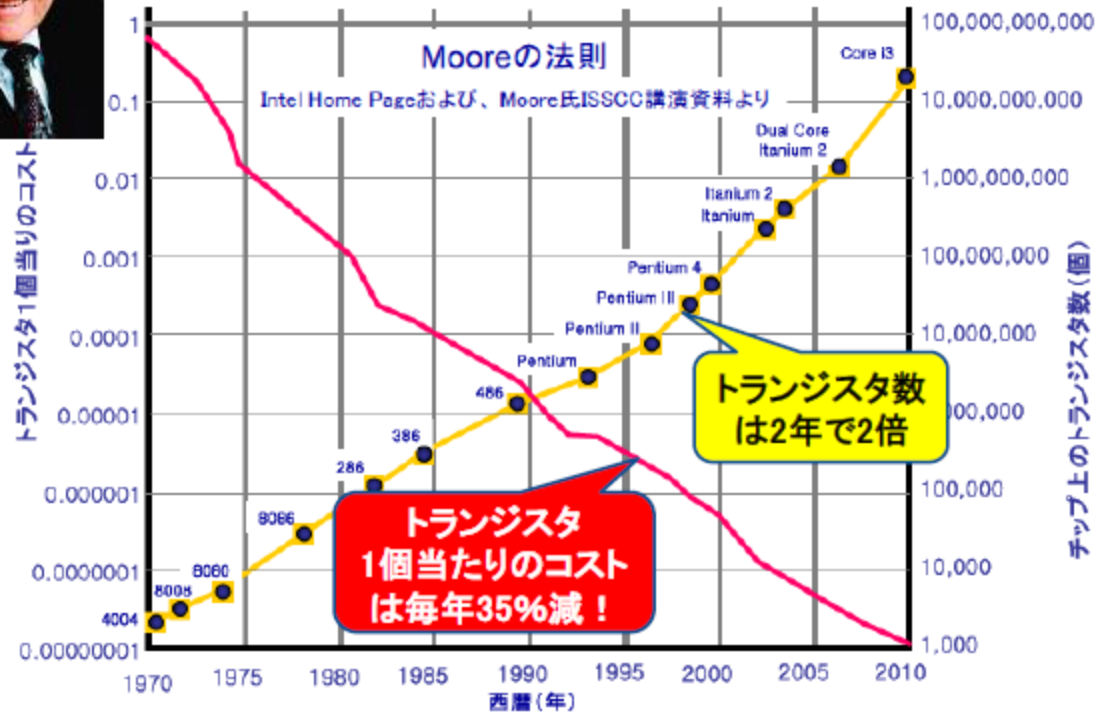
＝カスタムLSIはもはや必要が無い！！

「ムーアの法則」の終えん ？？

LSI の微細化は、加工技術やデバイス動作の物理限界により、20nm 程度で頭打ちになると予測され、10 年程度で「ムーアの法則」は終えんを迎えると考えられている。



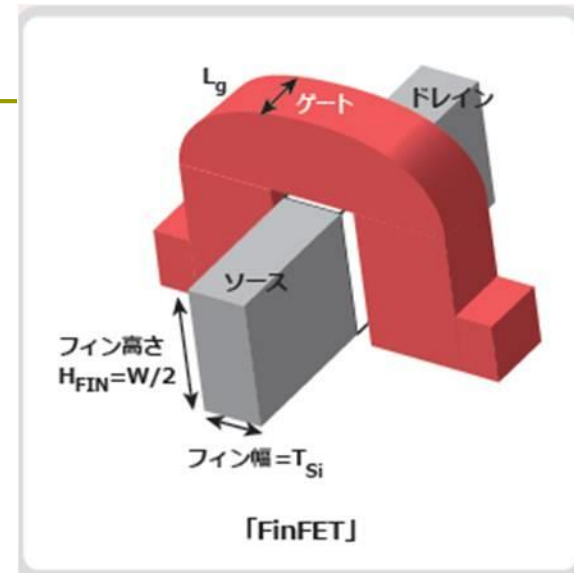
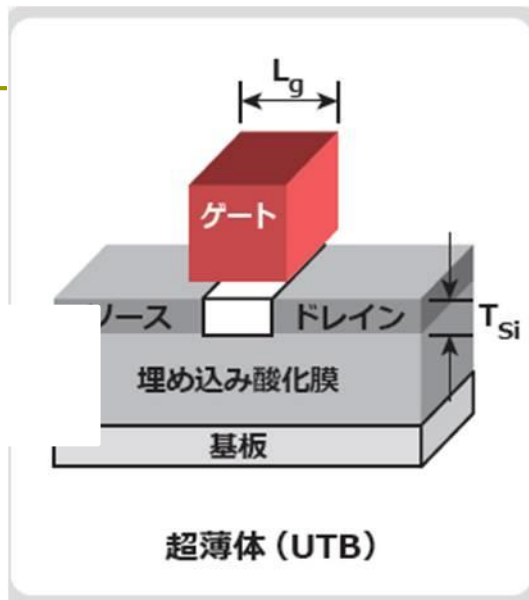
ムーアの法則ーその2ー



実はこれがムーアの法則の本質かも！

Iinogami-20150724 - Slide 47

FinFETが時代をブレーク



ファウンドリ各社の16/14nm 3DトランジスタFinFETプロセスは、20nmプロセスに対してパフォーマンスロジックチップのサイズが縮小する。これは、FinFETプロセスで、スタンダードセルが大きく変わるからだ。特に高性能チップ用のセルライブラリは、セルのサイズが小さくなり、より小さいサイズで高性能を達成できるようになる。

ご清聴ありがとう
ございました